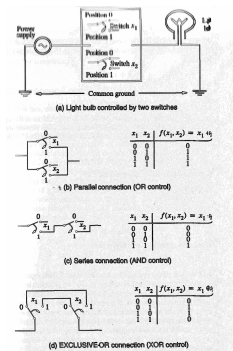


Rekapitulacija

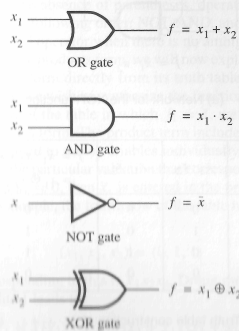


Vladimir Filipović
vladaf@matf.bg.ac.yu

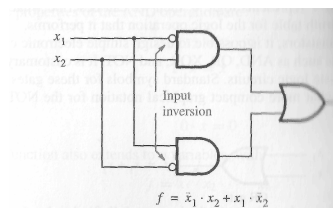
Primer sa prekidačima



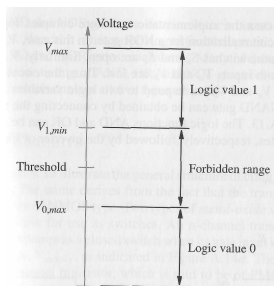
Standardni simboli za logička kola



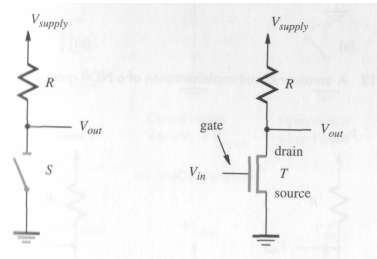
Logičko kolo za XOR funkciju



Reprezentacija logičke vrednosti nivoom napona



Logičko kolo za invertovanje



Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 10/4

NMOS i PMOS tranzistori

(a) NMOS transistor

(b) PMOS transistor

Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 8/14

CMOS realizacija logičkog elementa NOT

x	V_x	T_1	T_2	V_f	f
0	low	on	off	high	1
1	high	off	on	low	0

(a) Circuit

Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 9/14

Struktura CMOS logičkog kola

(a) Circuit

Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 10/14

CMOS realizacija logičkog elementa NAND

x_1	x_2	T_1	T_2	T_3	T_4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

(a) Circuit

Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 11/14

CMOS realizacija logičkog elementa NOR

x_1	x_2	T_1	T_2	T_3	T_4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

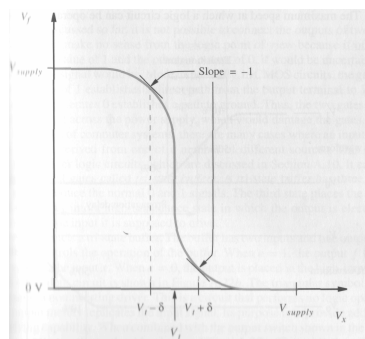
(a) Circuit

Matematički fakultet Mikroracunari vladan@matf.bg.ac.yu 12/14

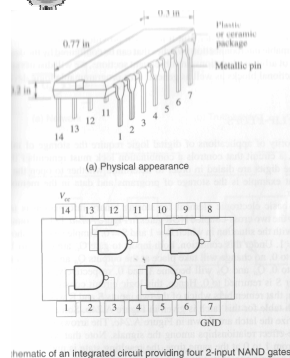
CMOS realizacija logičkog elementa AND



Napon kod CMOS realizacija logičkog elementa NOT



Integrisana logička kola



•Ovde se radi o SSI logičkom kolu

•Kašnjenje propagiranja je oko 5 ns

• Kašnjenje propagiranja jednog NAND logičkog kola ide na manje od 0.2 ns, zavisno od tehnologije.