Operativni sistemi: interna struktura i principi dizajna

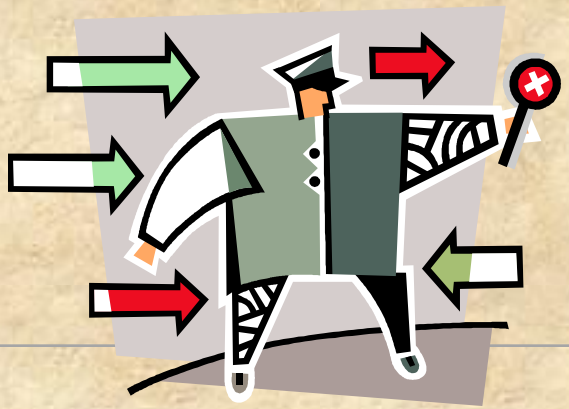
Poglavlje 1 Pregled računarskog sistema

Sedmo izdanje

William Stallings

Operativni sistem

- Koristi hardverske resurse jednog ili više procesora da bi korisnicima sistema pružio skup usluga
- Upravlja procesorom, sekundarnom memorijom i U/I uređajima



Osnovni elementi

Procesor

U/I moduli



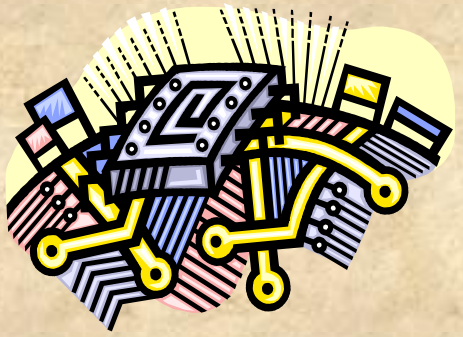
Glavna memorija

Sistemska magistrala

Procesor

Upravlja radom računara

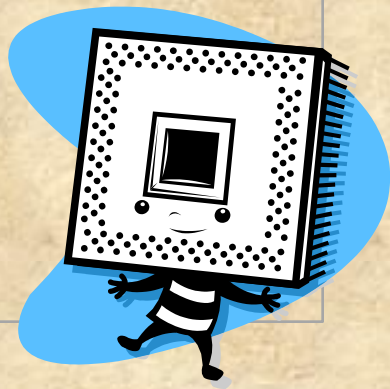
Obavlja funkcije obrade podataka



Naziva se i *centralna procesorska jedinica* (CPU)

Glavna memorija

- Nepostojana (volatile): sadržaj memorije se gubi kada se računar isključi
- Naziva se i realna memorija ili primarna memorija



U/I moduli

Prenosi podatke između računara i spoljnog okruženja, kao što su:

- skladišni uređaji (npr. hard disk)
- komunikaciona oprema
- terminali

Sistemska magistrala



- Omogućava komunikaciju između procesora, glavne memorije i U/I modula

Opšti prikaz



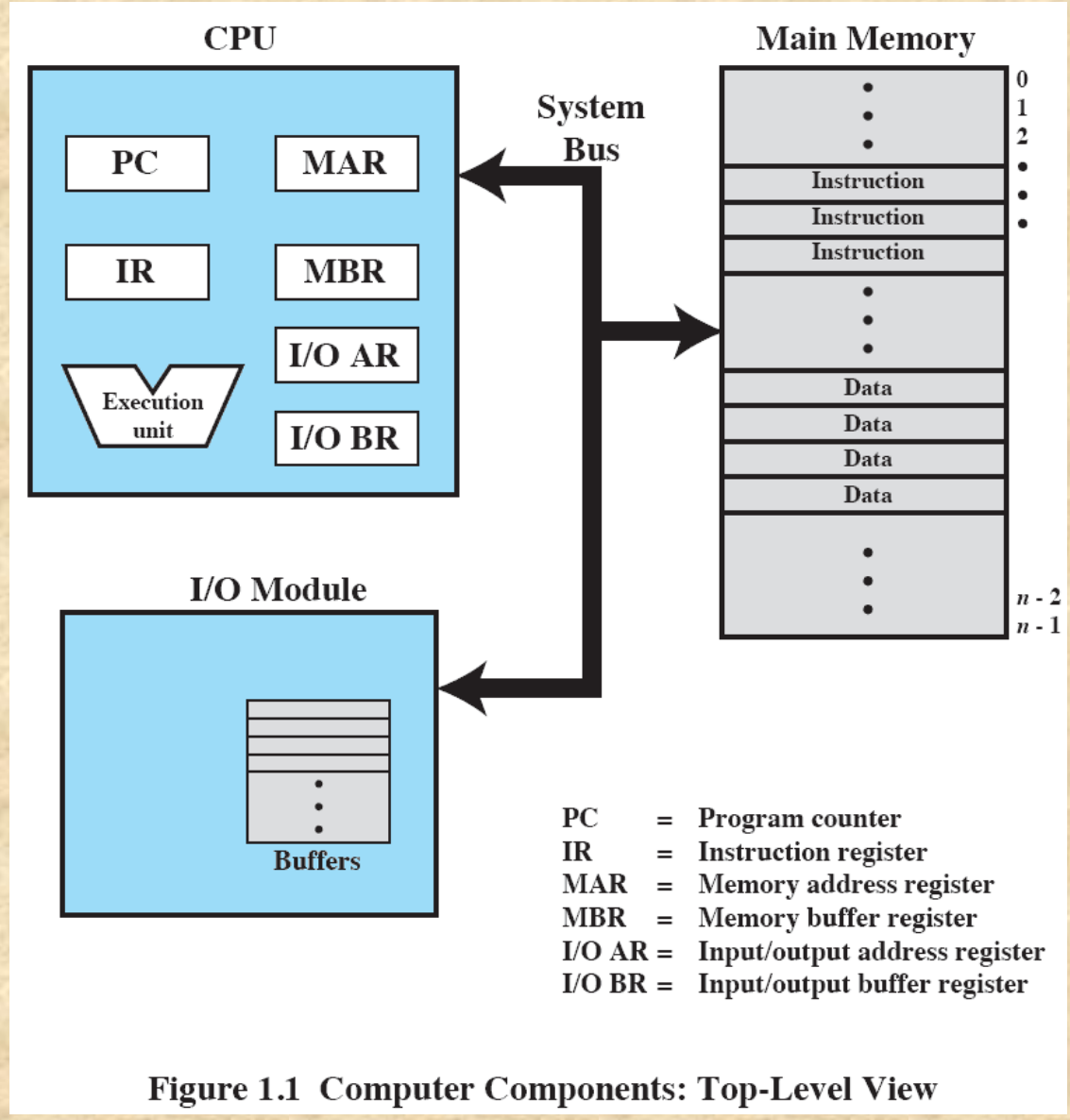
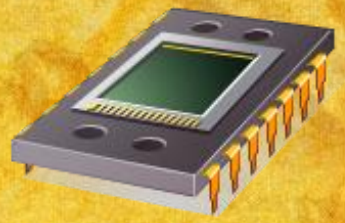


Figure 1.1 Computer Components: Top-Level View



Mikroprocesor

- Izum koji je omogućio stone i ručne računare
- Procesor na jednom čipu
- Najbrži procesor opšte namene
- Multiprocesorske mogućnosti
  - Svaki čip sadrži više procesora (jezgara); svako jezgro može da izvršava više niti

Grafičke procesorske jedinice (GPU)

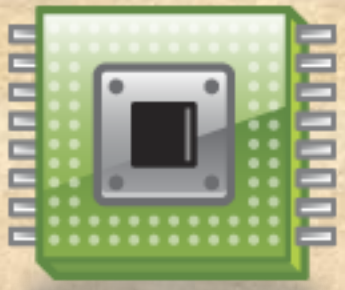
- Omogućavaju efikasno računanje nad nizovima podataka pomoću tehnika SIMD (jedna instrukcija, više podataka)
- Koriste se za opštu numeričku obradu
- Fizičke simulacije u igrama
- Proračuni u velikim tabelama

Digitalni signalni procesori (DSP)

- Obrađuju tokove signala, kao što su audio ili video
- Ranije su se ugrađivali u uređaje poput modema
- Kodiranje/dekodiranje govora i videa (kodeci)
- Podrška za šifrovanje i bezbednost

Sistem na čipu (SoC)

- Da bi se zadovoljili zahtevi ručnih uređaja i ugrađenih sistema, mikroprocesor ustupa mesto SoC-u
- Komponente kao što su DSP, GPU, kodeci i glavna memorija, pored CPU-a i keš memorije, nalaze se na istom čipu



Izvršavanje instrukcija

- Program se sastoji od skupa instrukcija smeštenih u memoriji

Dva koraka:

- procesor čita (dohvata) instrukcije iz memorije
- procesor izvršava svaku instrukciju

Osnovni instrukcijski ciklus

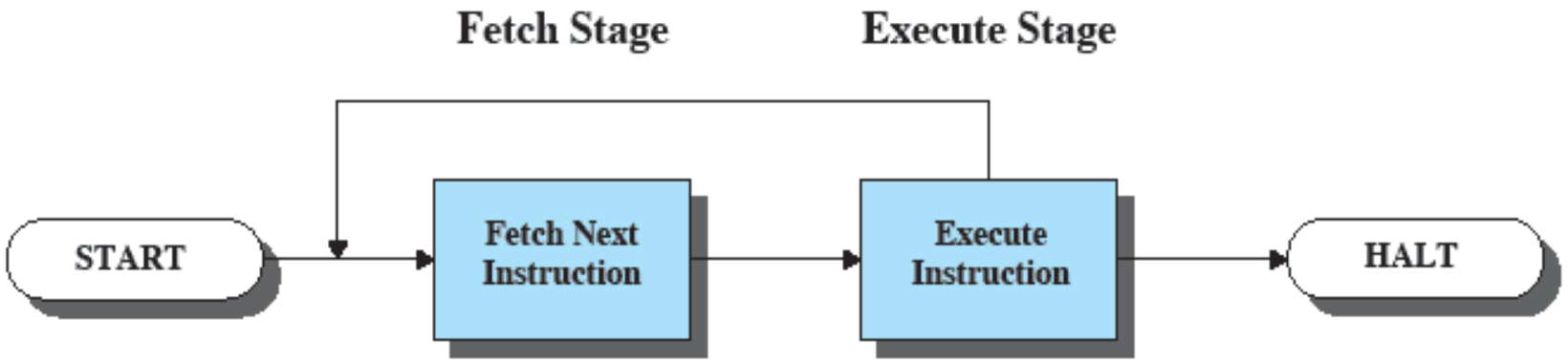
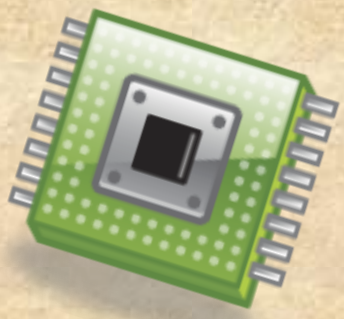


Figure 1.2 Basic Instruction Cycle

Dohvatanje i izvršavanje instrukcije

- Procesor dohvata instrukciju iz memorije
- Programski brojač (PC) sadrži adresu sledeće instrukcije koju treba dohvatiti
  - PC se uvećava posle svakog dohvatanja



Instrukcijski registar (IR)

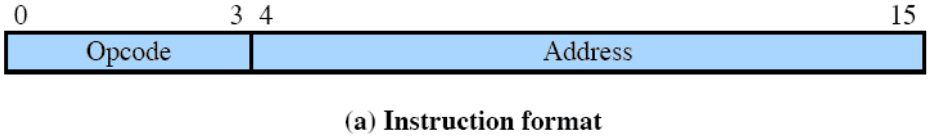
Dohvaćena instrukcija se smešta u registar IR



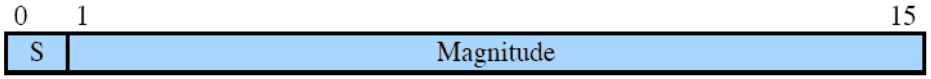
- Procesor tumači instrukciju i izvršava zahtevanu akciju:
  - Procesor-memorija
  - Procesor-U/I
  - Obrada podataka
  - Upravljanje

Karakteristike hipotetičke mašine





(a) Instruction format



(b) Integer format

Program counter (PC) = Address of instruction
Instruction register (IR) = Instruction being executed
Accumulator (AC) = Temporary storage

(c) Internal CPU registers

0001 = Load AC from memory
0010 = Store AC to memory
0101 = Add to AC from memory

(d) Partial list of opcodes

Figure 1.3 Characteristics of a Hypothetical Machine

Primer izvršavanja programa



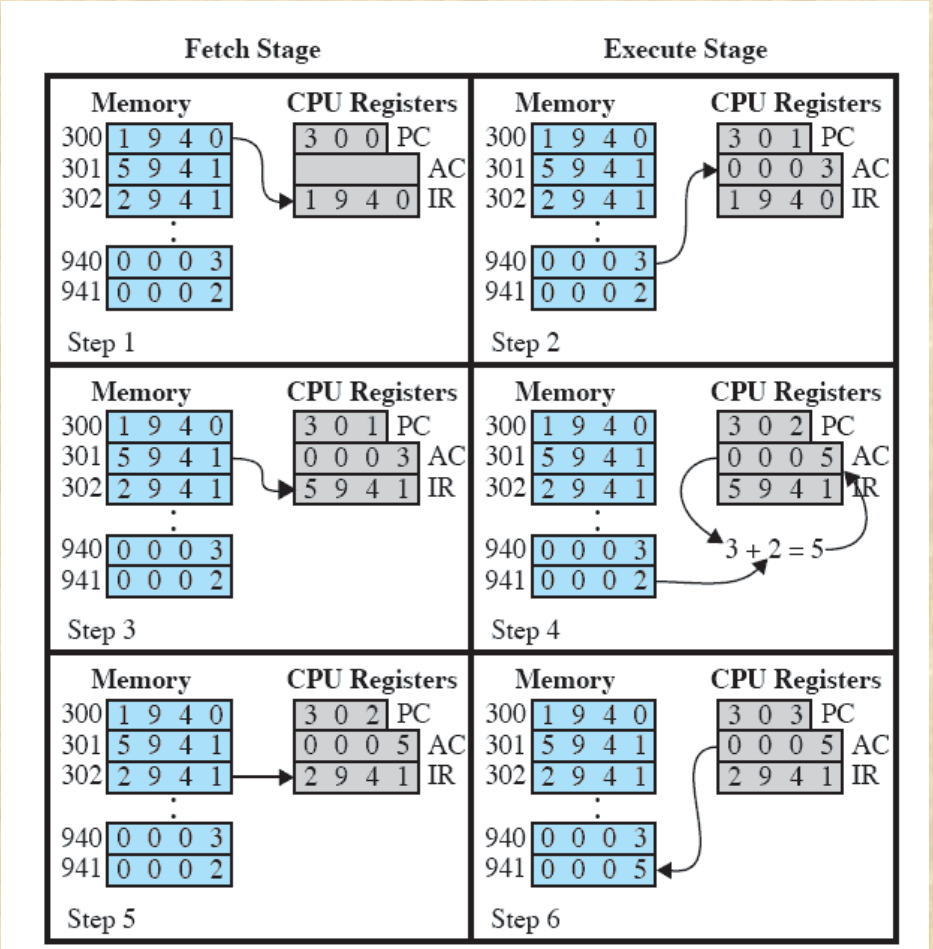


Figure 1.4 Example of Program Execution (contents of memory and registers in hexadecimal)

Prekidi

- Prekidaju uobičajeni redosled rada procesora
- Uvedeni su radi bolje iskorišćenosti procesora
  - većina U/I uređaja je sporija od procesora
  - procesor mora da pauzira i čeka uređaj
  - rasipanje procesorskog vremena



Uobičajene klase prekida

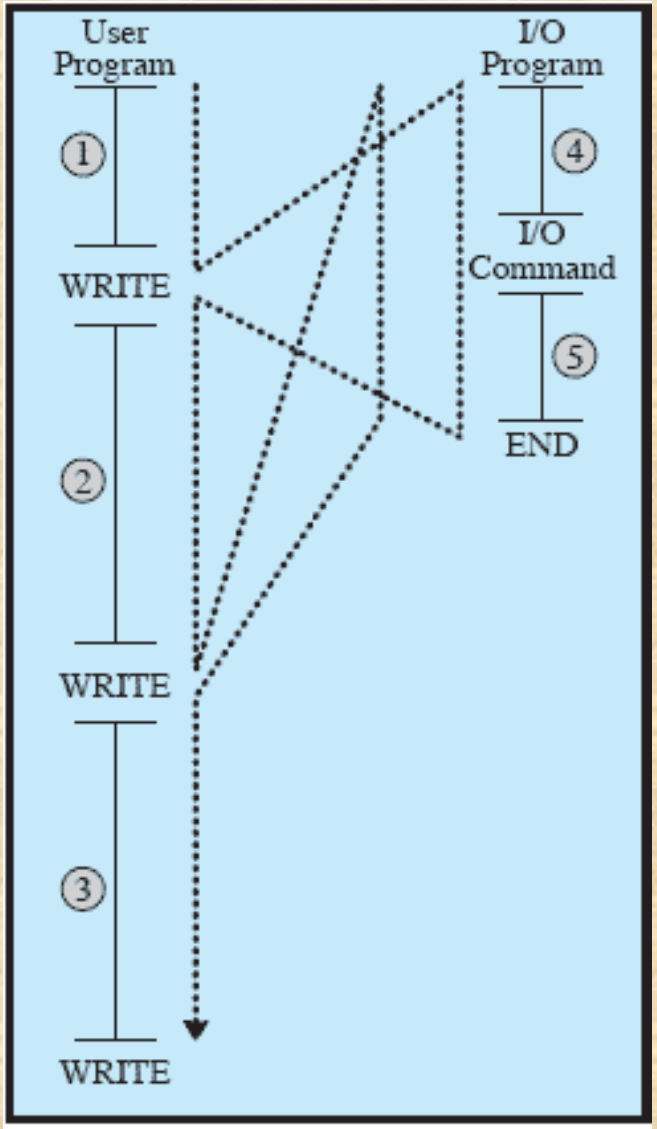


Table 1.1 Classes of Interrupts

Program	Generated by some condition that occurs as a result of an instruction execution, such as arithmetic overflow, division by zero, attempt to execute an illegal machine instruction, and reference outside a user's allowed memory space.
Timer	Generated by a timer within the processor. This allows the operating system to perform certain functions on a regular basis.
I/O	Generated by an I/O controller, to signal normal completion of an operation or to signal a variety of error conditions.
Hardware failure	Generated by a failure, such as power failure or memory parity error.

Tok upravljanja bez prekida

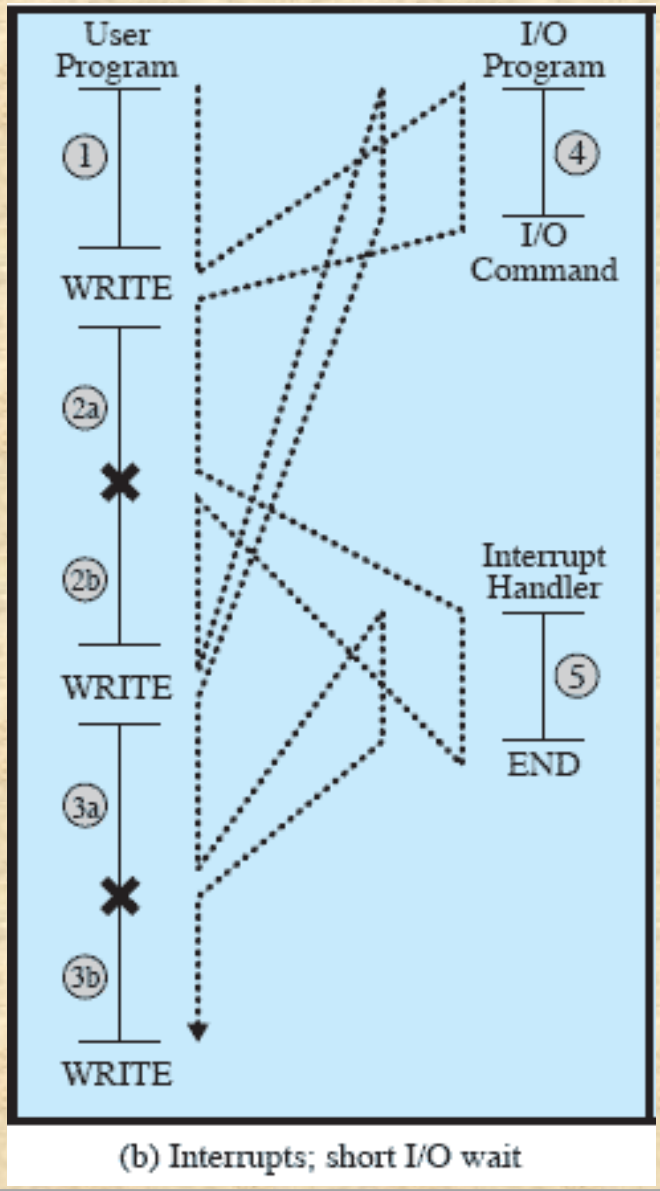




(a) No interrupts

Prekidi: kratko čekanje na U/I





(b) Interrupts; short I/O wait

Prenos upravljanja putem prekida

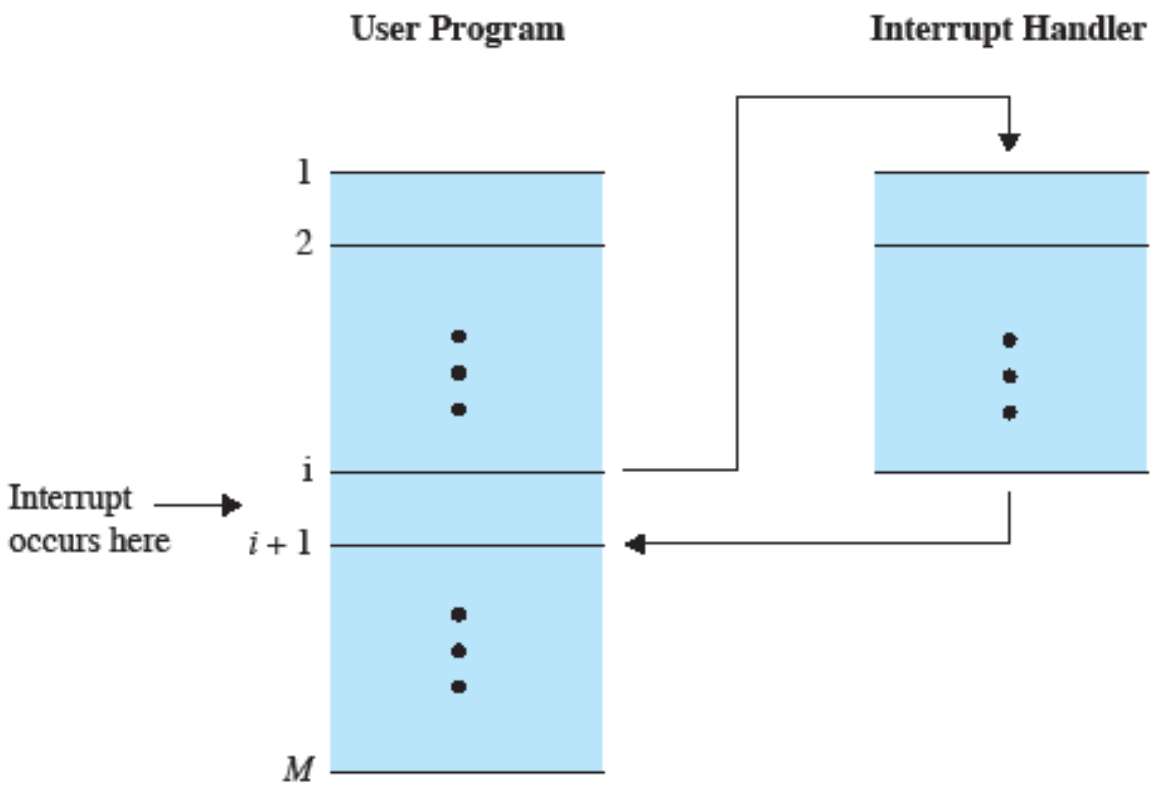


Figure 1.6 Transfer of Control via Interrupts



Instrukcijski ciklus sa prekidima

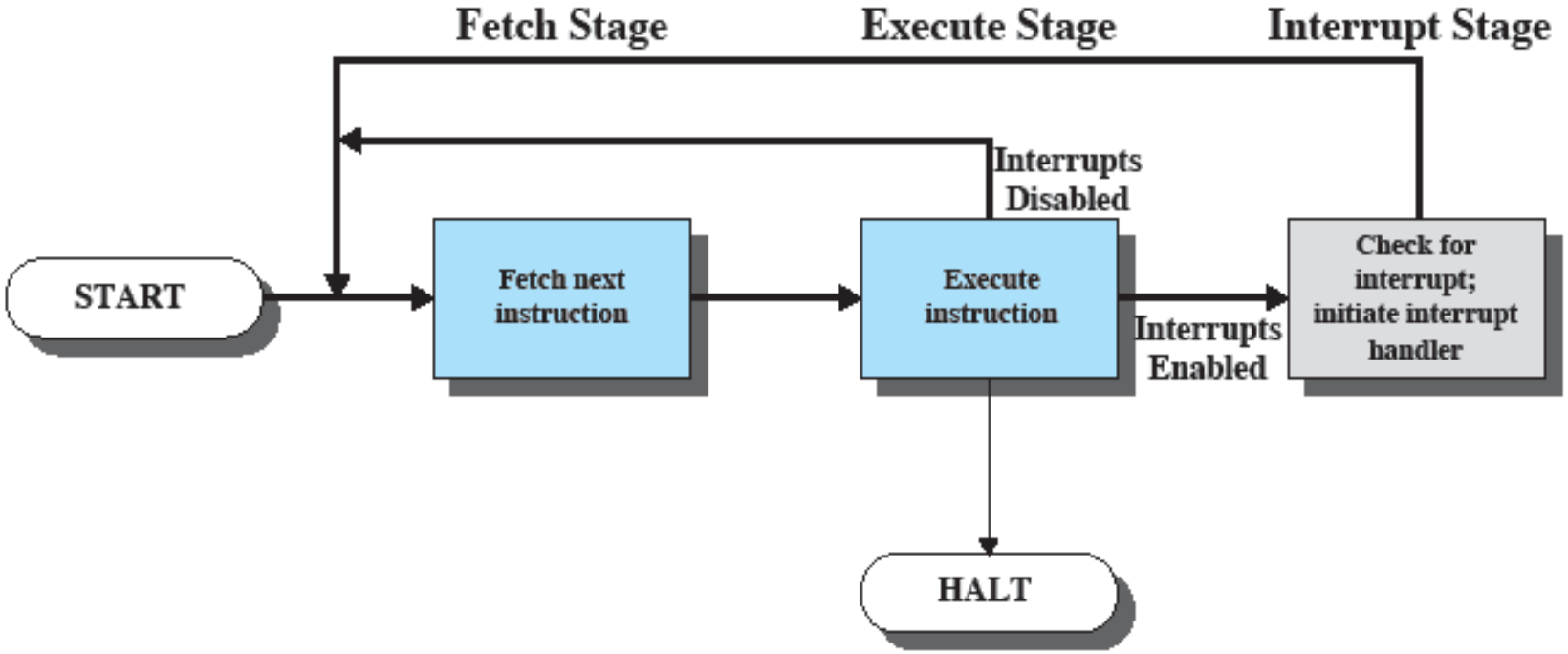
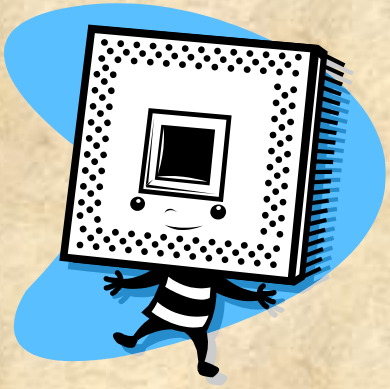


Figure 1.7 Instruction Cycle with Interrupts

Jednostavna obrada prekida



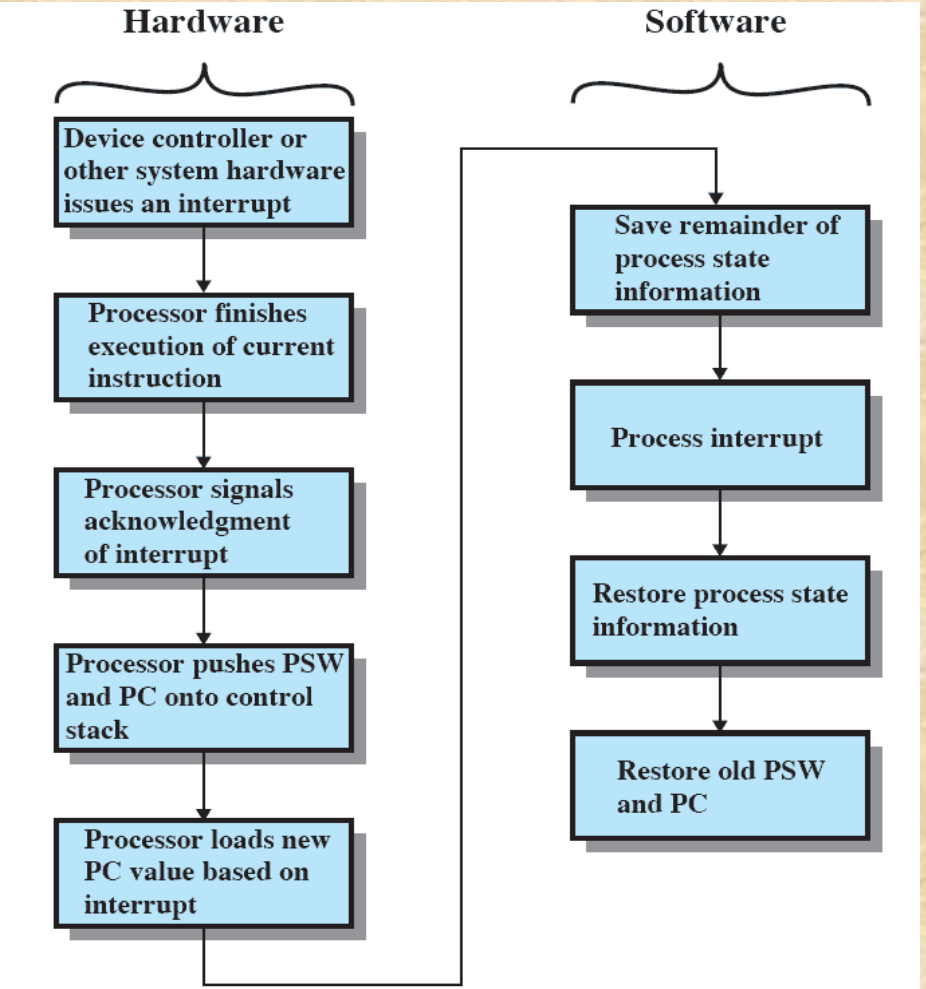


Figure 1.10 Simple Interrupt Processing

Višestruki prekidi

Prekid nastaje dok se drugi prekid obrađuje

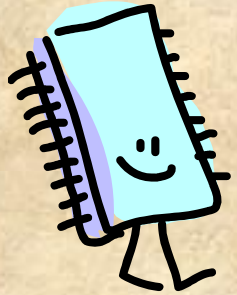
- npr. istovremeni prijem podataka sa komunikacione linije i štampanje rezultata

Dva pristupa:

- zabraniti prekide dok se prekid obrađuje
- koristiti šemu prioriteta

Hijerarhija memorije

- Glavna ograničenja memorije
  - kapacitet
  - brzina
  - cena



- Memorija mora da prati brzinu procesora
- Cena memorije mora biti razumna u odnosu na ostale komponente

Odnosi karakteristika memorije



Hijerarhija memorije

- Idući naniže kroz hijerarhiju:
  - opada cena po bitu
  - raste kapacitet
  - raste vreme pristupa
  - opada učestanost pristupa procesora memoriji

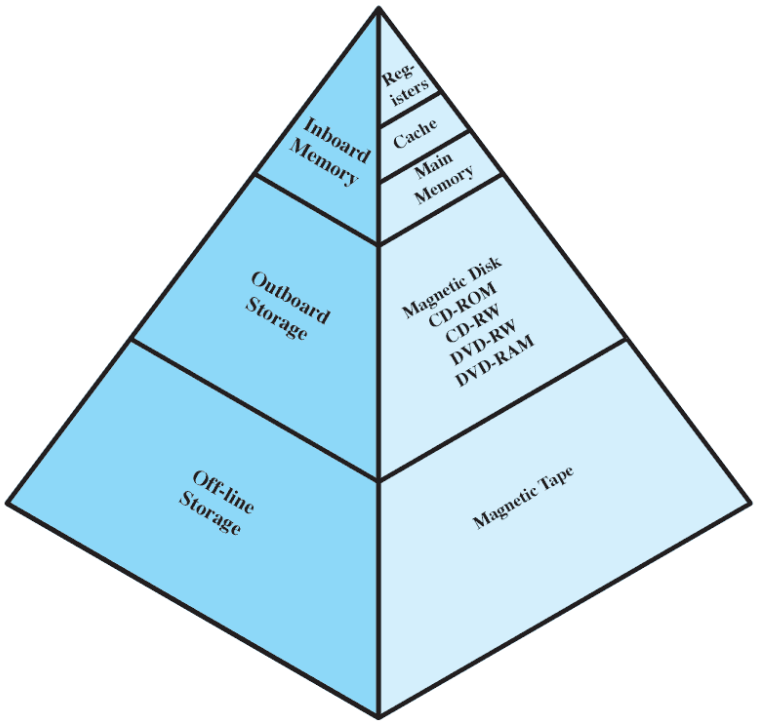
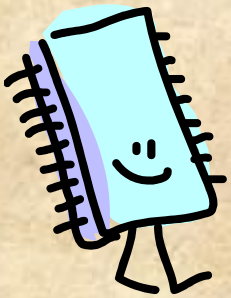
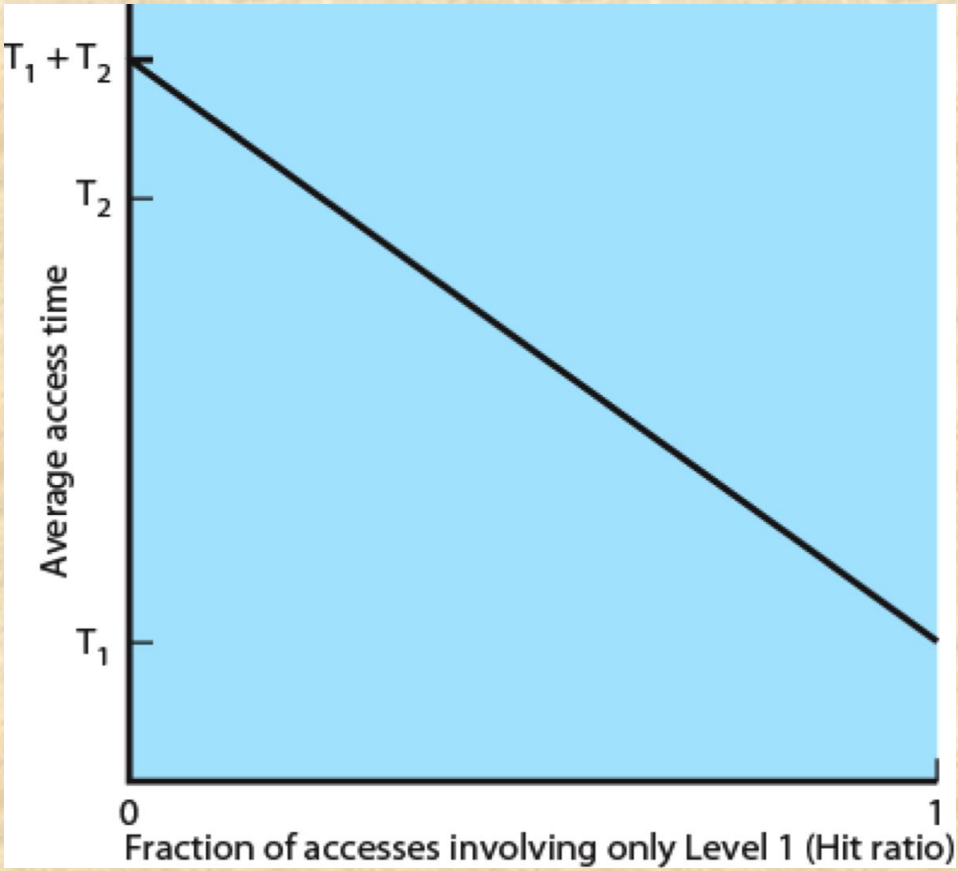


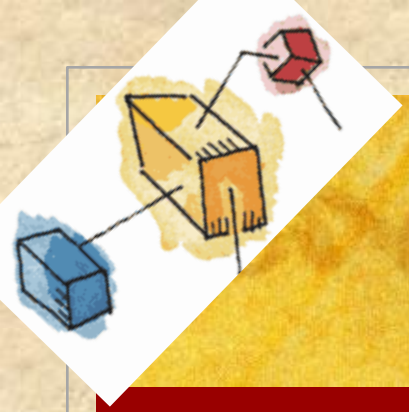
Figure 1.14 The Memory Hierarchy

Performanse jednostavne dvonivoske memorije





Slika 1.15 Performanse jednostavne dvonivoske memorije



Primer

- Vreme pristupa brze memorije (T1): 0.1
- Vreme pristupa spore memorije (T2): 1.0
- Stopa pogodaka brze memorije: .95
- Prosečno vreme pristupa = .15
  (.95 * .1) +(.05 * (1.0 + 0.1))





Princip lokalnosti

- Pristupi procesora memoriji teže da se grupišu
  - Prostorna lokalnost: pristup jednoj memorijskoj lokaciji obično znači da će se pristupati i obližnjim lokacijama
  - Vremenska lokalnost: ako se lokaciji jednom pristupi, verovatno će joj se uskoro ponovo pristupiti.

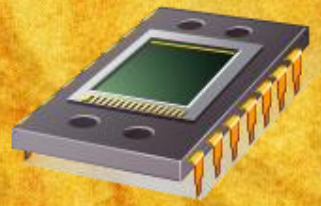
Princip lokalnosti

- U hijerarhijskoj memoriji podaci se mogu organizovati tako da procenat pristupa svakom sledećem nižem nivou bude znatno manji nego za nivo iznad njega
  - tj. lokacije iz tekuće lokalnosti treba da budu u bržim nivoima memorije.
- Može se primeniti na više od dva nivoa memorije

Hijerarhija memorije

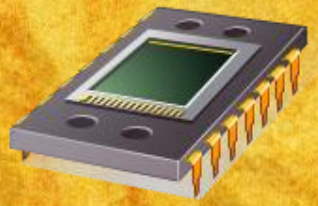
- Keš memorija: najbrža; nepostojana; sadrži podskup glavne memorije
  - Većina procesora ima više od jednog nivoa
- Glavna memorija: sporija; nepostojana
- Disk: najsporiji, postojan, služi za trajno čuvanje programa i podataka

Keš memorija



- Nevidljiva za OS
- Procesor mora da pristupi memoriji bar jednom u svakom instrukcijskom ciklusu
- Vreme izvršavanja na procesoru ograničeno je trajanjem memorijskog ciklusa
- Iskoristiti princip lokalnosti pomoću male, brze memorije

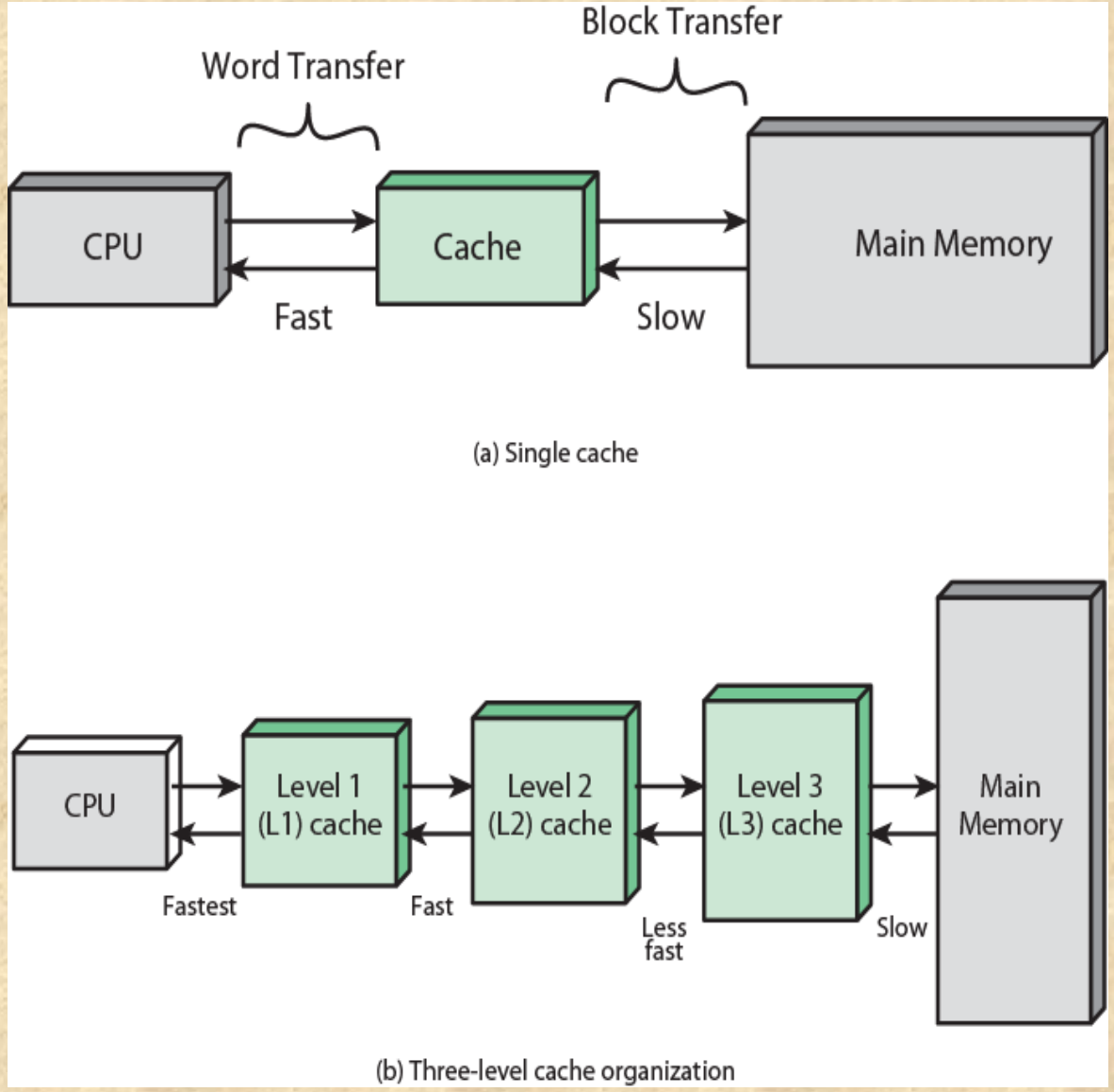
Principi keša



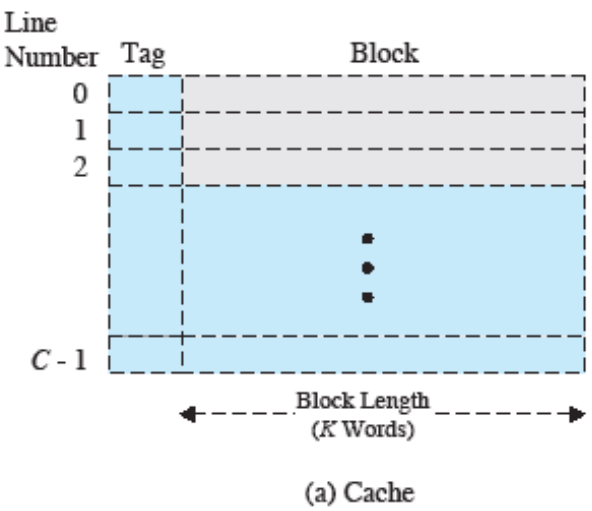
- Pri pristupu memoriji procesor najpre proverava keš
- Ako podatak nije pronađen, u keš se učitava blok memorije
- Zbog lokalnosti je verovatno da će se mnogi budući pristupi memoriji odnositi na druge bajtove iz tog bloka

Keš i glavna memorija

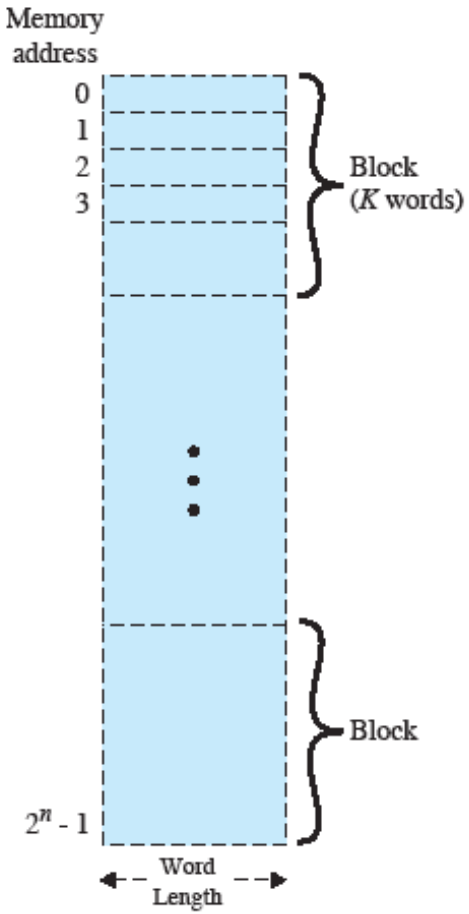




Struktura keša i glavne memorije



(a) Cache



(b) Main memory

Figure 1.17 Cache/Main-Memory Structure



U/I tehnike

* Kada procesor naiđe na instrukciju koja se odnosi na U/I, izvršava je tako što izdaje komandu odgovarajućem U/I modulu

Za U/I operacije moguće su tri tehnike:

- Programirani U/I
- U/I upravljan prekidima
- Direktan pristup memoriji (DMA)

Programirani U/I

- U/I modul izvršava zahtevanu akciju, a zatim postavlja odgovarajuće bitove u U/I statusnom registru
- Procesor periodično proverava status U/I modula sve dok ne utvrdi da je instrukcija završena
- Kod programiranog U/I performanse celog sistema ozbiljno opadaju

U/I upravljan prekidima

Procesor izdaje modulu U/I komandu i prelazi na drugi koristan posao

U/I modul zatim prekida procesor da bi zatražio uslugu kada je spreman za razmenu podataka s procesorom

Procesor obavlja prenos podataka, a zatim nastavlja prethodnu obradu

Efikasniji od programiranog U/I, ali i dalje zahteva aktivno učešće procesora u prenosu podataka između memorije i U/I modula

Direktan pristup memoriji (DMA)

* Obavlja ga poseban modul na sistemskoj magistrali ili je ugrađen u U/I modul

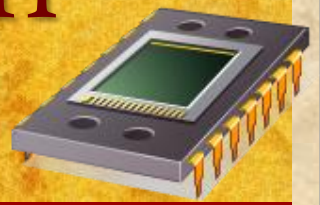
Kada procesor želi da čita ili upisuje podatke, izdaje DMA modulu komandu koja sadrži:

- da li se traži čitanje ili upis
- adresu odgovarajućeg U/I uređaja
- početnu lokaciju u memoriji za čitanje/upis
- broj reči koje treba pročitati/upisati

Direktan pristup memoriji

- Prenosi ceo blok podataka direktno u memoriju i iz nje, bez posredovanja procesora
  - procesor učestvuje samo na početku i na kraju prenosa
  - procesor radi sporije tokom prenosa kada mu je potreban pristup magistrali
- Efikasniji od programiranog U/I i U/I upravljanog prekidima

Simetrični multiprocesori (SMP)



- Samostalan računarski sistem sa sledećim karakteristikama:
  - dva ili više sličnih procesora uporedivih mogućnosti
  - procesori dele istu glavnu memoriju i povezani su magistralom ili drugom internom vezom
  - procesori dele pristup U/I uređajima
  - svi procesori mogu da obavljaju iste funkcije
  - sistemom upravlja integrisani OS koji obezbeđuje interakciju procesora i njihovih programa na nivou poslova, zadataka, datoteka i elemenata podataka

Prednosti SMP-a

Performanse

- sistem sa više procesora daje bolje performanse ako se posao može obavljati paralelno

Skaliranje

- proizvođači mogu da ponude niz proizvoda različitih cena i performansi

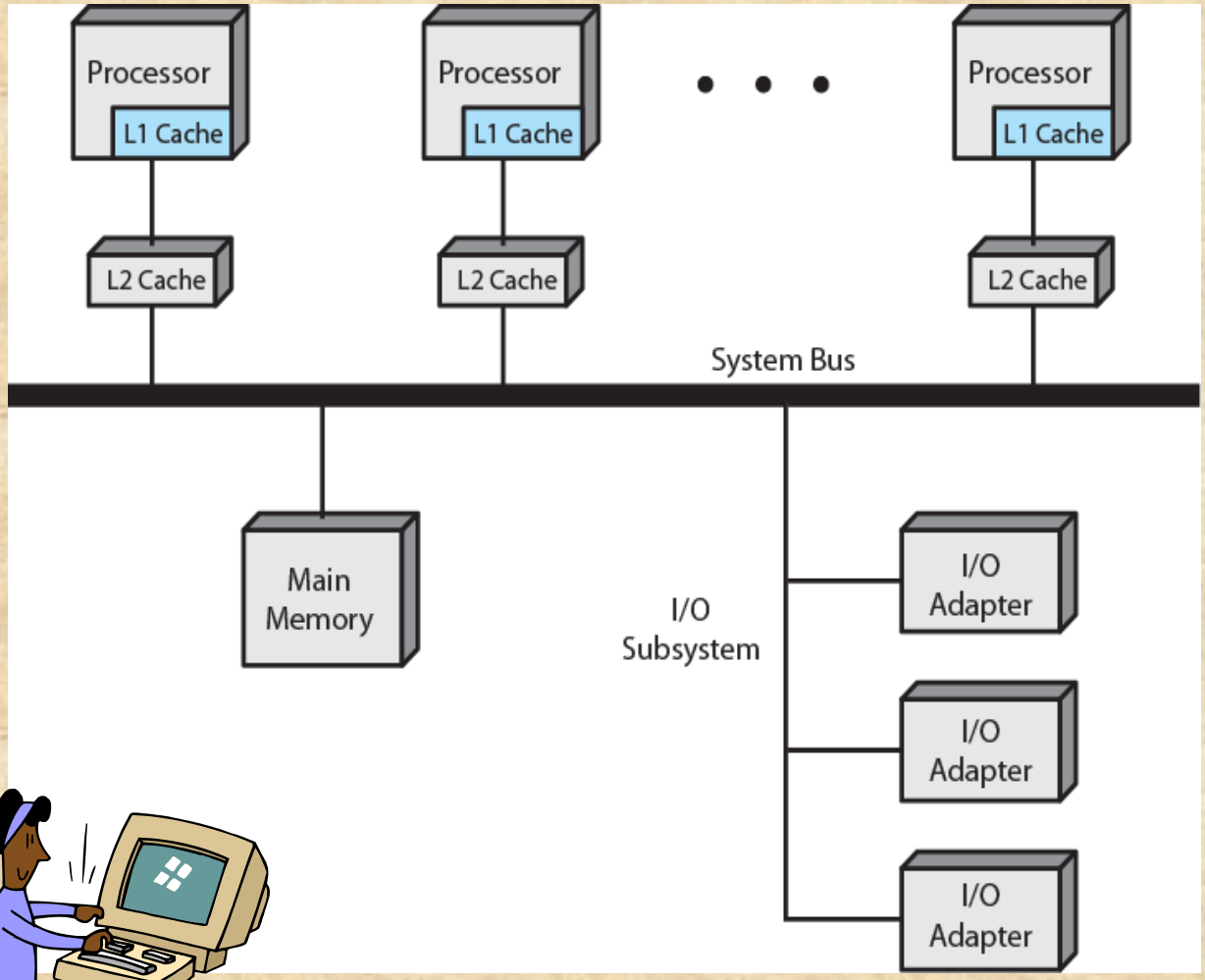
Dostupnost

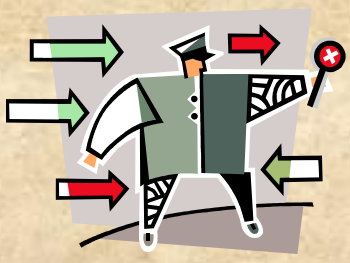
- otkaz jednog procesora ne zaustavlja mašinu

Postepeni rast

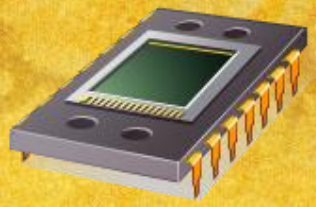
- može se dodati još jedan procesor radi poboljšanja performansi

Organizacija SMP-a



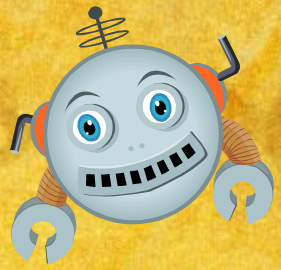


Slika 1.19 Organizacija simetričnog multiprocesora



Višejezgarni računar

- Poznat i kao multiprocesor na čipu
- Objedinjuje dva ili više procesora (jezgara) na jednoj silicijumskoj pločici (die)
  - svako jezgro sadrži sve komponente nezavisnog procesora
- Pored toga, višejezgarni čipovi sadrže i L2 keš, a ponekad i L3 keš



Intel Core i7

Podržava dva oblika spoljne komunikacije sa drugim čipovima:

DDR3 memorijski kontroler

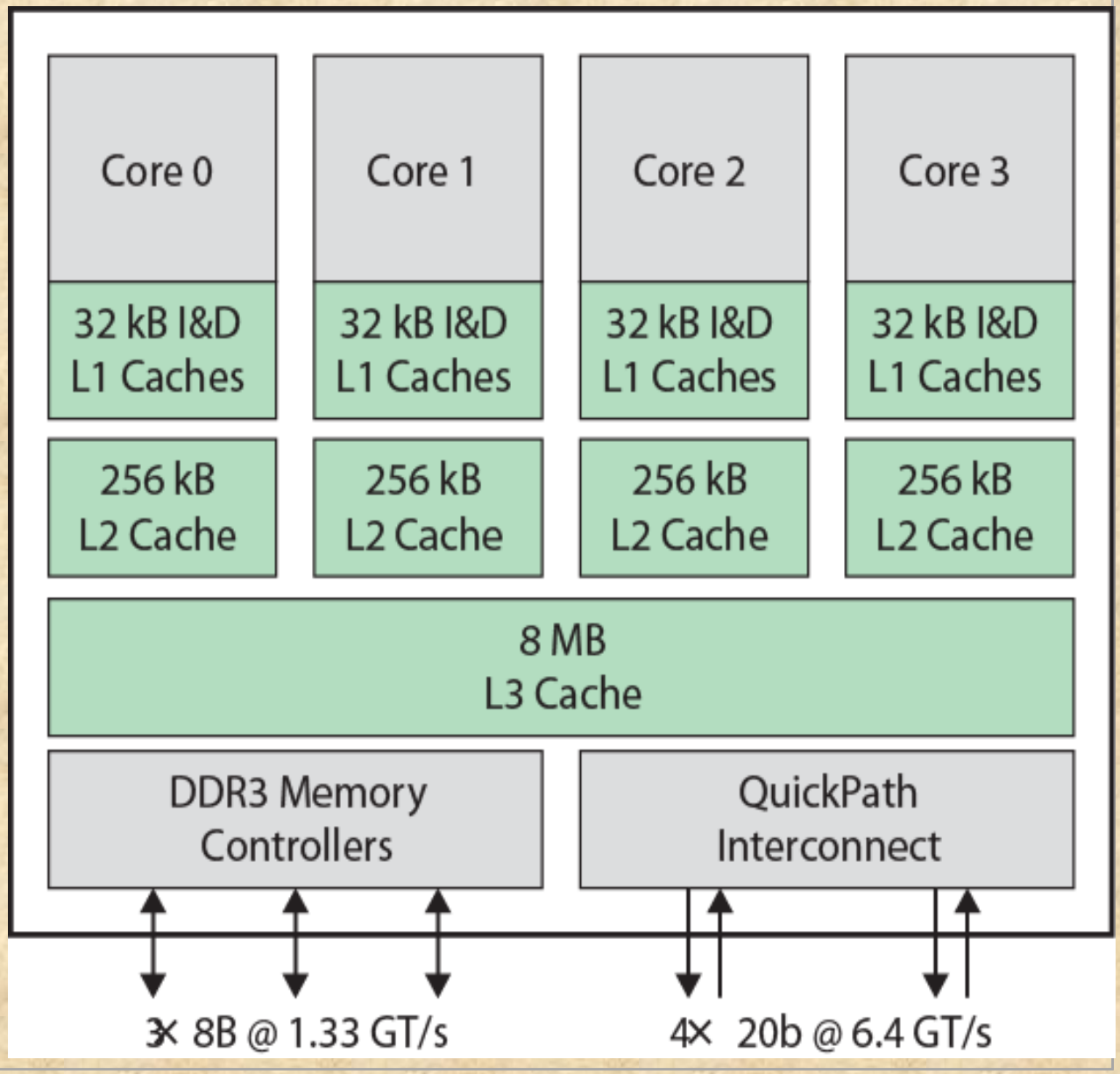
- premešta na čip kontroler glavne memorije tipa DDR (dvostruka brzina prenosa podataka)
- sa memorijskim kontrolerom na čipu ukida se magistrala Front Side Bus

QuickPath Interconnect (QPI)

- omogućava brzu komunikaciju između povezanih procesorskih čipova

Intel Core i7





Slika 1.20 Blok dijagram Intel Core i7

Rezime

- Osnovni elementi
  - procesor, glavna memorija, U/I moduli, sistemska magistrala
  - GPU, SIMD, DSP, SoC
  - Izvršavanje instrukcija
    - procesor-memorija, procesor-U/I, obrada podataka, upravljanje
  - Prekidi/obrada prekida
  - Hijerarhija memorije
  - Keš/principi i projektovanje keša
  - Multiprocesorski/višejezgarni sistemi