

# Digitalna logika i aritmetika

ALU jedinica, Sabirači, Polusabirači,  
Komparatori, Enkoderi, Dekoderi,  
Multiplekseri, Demultiplekseri

# Polusabirač

- Dizajnirati blok dijagram dvobitnog polusabirača.
- Polusabirač na ulazu prihvata dva bita A i B, a na izlazu proizvodi jedan bit za sumu i jedan za prenos.

# Sabirač

- Dizajnirati blok dijagram dvobitnog sabirača.
- Sabirač za razliku od polusabirača na ulazu prihvata dva ulazna bita i prethodni prenos.
- Implementirati sabirač u VHDL-u.
- Analizirati generisani blok dijagram kasnije.

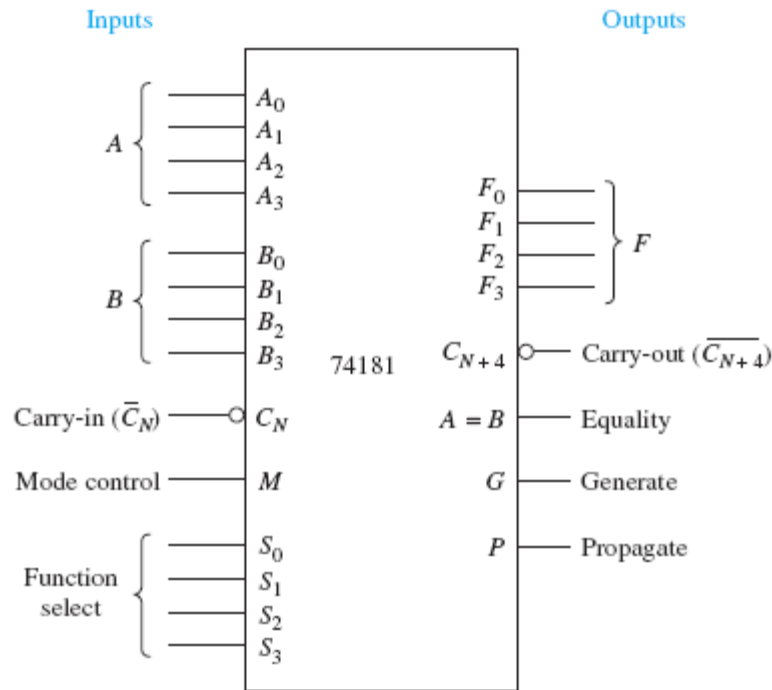
# 4-Bitni sabirač

- Testirati blok dijagram sa 4-Bitnim sabiračem. Naziv kola je TTL 7483.
- Dizajnirati u VHDL-u 4-Bitni sabirač korišćenjem celobrojne aritmetike (celobrojnih tipova integer RANGE 0 to x)

# ALU – Arithmetic/Logic Units

- Integrisana kola (IC) sa 100 do 10000 gejtova.
- Omogućavaju nekoliko aritmetičko logičkih operacija.
- Operacija se bira postavljanjem binarnog koda na kontrolnim linijama.
- Testirati operacije na kolu TTL 74181
  - Podržano 16 aritmetičkih i 16 logičkih operacija

# TTL 74181



# TTL 74181 - operacije

Mode select				Logic functions	Arithmetic operations
$S_3$	$S_2$	$S_1$	$S_0$	$(M = H)$	$(M = L)(\overline{C_n} = H)$
L	L	L	L	$F = \overline{A}$	$F = A$
L	L	L	H	$F = \overline{A + B}$	$F = A + B$
L	L	H	L	$F = \overline{AB}$	$F = A + \overline{B}$
L	L	H	H	$F = 0$	$F = \text{minus 1 (2's comp.)}$
L	H	L	L	$F = \overline{AB}$	$F = A \text{ plus } \overline{AB}$
L	H	L	H	$F = \overline{B}$	$F = (A + B) \text{ plus } \overline{AB}$
L	H	H	L	$F = A \oplus B$	$F = A \text{ minus } B \text{ minus 1}$
L	H	H	H	$F = \overline{AB}$	$F = \overline{AB} \text{ minus 1}$
H	L	L	L	$F = \overline{A} + B$	$F = A \text{ plus } AB$
H	L	L	H	$F = \overline{A \oplus B}$	$F = A \text{ plus } B$
H	L	H	L	$F = B$	$F = (A + \overline{B}) \text{ plus } AB$
H	L	H	H	$F = AB$	$F = AB \text{ minus 1}$
H	H	L	L	$F = 1$	$F = A \text{ plus } A^*$
H	H	L	H	$F = A + \overline{B}$	$F = (A + B) \text{ plus } A$
H	H	H	L	$F = A + B$	$F = (A + \overline{B}) \text{ plus } A$
H	H	H	H	$F = A$	$F = A \text{ minus 1}$

$F = A$  means:  
 $F_0=A_0, F_1=A_1, F_2=A_2, F_3=A_3$

# Komparator

- Dizajnirati komparator za jednakost:
  - Putem blok dijagrama
  - U VHDL-u pomoću logičkih vektora i if then elsif else konstrukcije (koristiti interni 3-bitni signal za proces)
- Testirati komparator TTL 7485



# Dekoder

- Dizajnirati blok dijagram dekodera sa 4 binarna izlaza.
- Dizajnirati u VHDL-u dekodeer sa 8 binarnih izlaza (dve varijante):
  - sa pojedinačnim logičkim ulazima i osnovnim logičkim funkcija
  - sa logičkim vektorima i sa konstrukcijom:  
with a select  
    b<="..." when "..."  
    ...  
    "..." when others;

# Enkoder

- Dizajnirati blok dijagram enkodera sa 2 binarna izlaza. Koristiti binarno brojanje zasnovano na 4 ulazne linije.
- Dizajnirati u VHDL-u enkoder sa 3 binarna izlaza i 8 binarnih ulaza

# Konverteri

- Dizajnirati blok dijagram za 4-Bitni konverter iz binarnog koda u Grejov i obrnuto.
- Napisati ovo u VHDL-u.

# Multiplekser

- Na osnovu kontrolnih ulaznih linija propušta samo jednu od ulaznih linija za podatke na izlaz (sličan enkoderu)
- Dizajnirati blok dijagram za multiplekser sa 4 ulazne linije za podatke
- Prisetimo se ALU jedinice, kako se multiplekser u njoj koristi?
- Da li ALU linija izvršava više operacija istovremeno (interno)?

# Demultiplekser

- Suštinski isti kao i dekoder, s tim što na odabranu liniju propušta ulazni signal.
- Dizajnirati blok dijagram i napisati program u VHDL-u.

# Dekodiranje u okviru mikroprocesora

- Sledeći čas...