

[P220]  
Увод у архитектуру  
рачунара

6



Саша Малков  
Универзитет у Београду  
Математички факултет  
2013/2014

[P271]  
Увод у архитектуру рачунара  
Саша Малков



Тема 7  
Магистрала  
(наставак)

## Магистрала *PCI* (1)



- Рад на магистралама *PCI* је започео *Intel* 1990. године
  - *Peripheral Component Interconnect (PCI)*
  - сви патенти су објављени у јавном власништву, ради ширег прихватања
  - оригинална спецификација је названа *V1.0*
  - верзија *V2.0* је објављена 1993. године
  - верзија *V2.1* је објављена 1995. године

Универзитет у Београду - Математички факултет

## Магистрала *PCI* (2)



- Основне карактеристике
  - независна од процесора
  - изворно 32-битна, на 33.33 MHz, пропусност 133 MB/s
    - касније 64-битна, на 66 MHz, пропусност 528 MB/s
    - најчешће имплементирана као 64-битна, на 33.33 MHz, пропусност 266 MB/s
  - синхрона
  - мултиплексирана (адресе и подаци)
    - довољно 64 линије за 64-битне адресе и 64-битне податке
  - главни и подређени уређаји се називају *иницијатор* и *циљ*
    - све трансакције су између једног иницијатора и једног циља
  - централизовани арбитар
    - са независним линијама захтева
  - старији стандард на 5V и новији на 3.3V

Универзитет у Београду - Математички факултет

## Магистрала *PCI* – сигнали (1)



- Две врсте сигнала
  - обавезни
    - пет група
      - системски
      - адресни/податковни/командни
      - контрола трансакције
      - арбитража магистрале
      - извештавање о грешкама
  - ОПЦИОНИ

## Магистрала *PCI* – сигнали (2)



- Системски сигнали
  - *часовник (CLK)*
    - пружа информације о времену
    - уређаји читају улазе на узлазном рубу циклуса
    - подржане учесталости од 0 до 33 MHz
  - *реинцијализација (RST#)*
    - реинцијализација система и свих уређаја

## Магистрала PCI – сигнали (3)



- Адреса, подаци и команде
  - *мајстѐрала адресе и података (AD[0-31])*
    - мултиплексирани канали адреса и података
    - у адресној фази преносе адресу
    - затим преносе податке
  - *командна мајстѐрала (C/BE#[0-3])*
    - четири временски мултиплексирани линије
    - током адресне фазе преносе команде и идентификују операцију
    - током фазе података преносе *byte enable* сигнале и идентификују који се бајтови преносе
      - свака од *BE#* линија означава један од бајтова 32-битног податка
      - екстремни случајеви:
        - 0000 – преносе се сва четири бајта
        - 1111 – празна фаза података (не преноси се ниједан бајт)
  - *сигнал парности (PAR)*
    - бит парности за *AD* и *C/BE#* линије (допуњава податке до парних)

## Магистрала PCI – сигнали (4)



- Контрола трансакције
  - *оквир циклуса (FRAME#)*
    - текући иницијатор поставља сигнал (на 0) да значи почетак трансакције
    - одржава се до последње фазе података трансакције
  - *иницијатор спреман (IRDY#)*
    - поставља иницијатор када су постављени подаци на *AD* линије или када је спреман да чита
  - *циљ спреман (TRDY#)*
    - поставља циљ, када је спреман да из адресне фазе пређе у фазу података
      - при писању, када је спреман да прими податке
      - при читању, када је поставио податке на магистралу
    - по слању захтева, иницијатор мора да чека да буду постављени и *IRDY#* и *TRDY#* пре него што настави са радом

## Магистрала PCI – сигнали (5)



- Контрола трансакције (наставак)
  - *заустављање трансакције (STOP#)*
    - текући циљ поставља сигнал да значи да циљ жели да прекине текућу трансакцију
  - иницијализација (*IDSEL*)
    - улазни сигнал за уређај
    - бира чип за трансакцију читања или писања конфигурације
  - *избор уређаја (DEVSEL#)*
    - поставља га избрани циљни уређај као потвду присуства
  - *закључавање магистрале (LOCK#)*
    - поставља иницијатор да закључа циљ како би извршио неку атомичну трансакцију (нпр. провера и промена семафора)
    - када су постављени подаци на *AD* линије или када је спреман да чита

## Магистрала PCI – сигнали (6)



- Арбитража магистрале
  - централизована арбитража са независним линијама захтева и додељивања
  - сваки уређај има линије
    - *захтев магистрале (REQ#)*
      - поставља иницијатор када захтева магистралу
    - *додељивање магистрале (GNT#)*
      - поставља арбитар када додељује магистралу

## Магистрала PCI – сигнали (7)



- Извештавање о грешкама
  - *грешка парности (PERR#)*
    - поставља циљ у случају грешке парности података препознате у фази података при писању
    - поставља иницијатор у случају грешке парности података препознате у фази података при читању
    - у начелу сви уређаји могу да поставе сигнал ако уоче грешку у комуникацији
    - сви уређаји морају бити у стању да препознају сигнал
  - *системска грешка (SERR#)*
    - постављају уређаји у случају грешке парности у адресама или у случају других критичних грешака

## Магистрала PCI – сигнали (8)



- Опциони сигнали – 64-битна проширења
  - *магистрала адресе и података (AD[32-63])*
    - проширење адресе и података
  - *командна магистрала (C/BE#[4-7])*
    - проширење команди
  - *захтев 64-битној преносу (REQ64#)*
    - поставља иницијатор да означи да очекује 64-битни пренос
  - *прихватање 64-битној преносу (ACK64#)*
    - поставља циљ да означи да прихвата 64-битни пренос
  - *парности за виши блок бита (PAR64)*
    - податак о парности виших бита AD[32-64] и C/BE#[4-7]

## Магистрала *PCI* – сигнали (9)



- Опциони сигнали – прекиди
  - четири линије за захтеве за прекиде (*INTA#*, *INTB#*, *INTC#*, *INTD#*)
  - нису дељене, већ сваки уређај има своје линије
- Додатне линије за кеш протокол
- Додатна линија за индикацију часовника
  - *M66EN* се поставља на високо стање ако је 66 MHz

## Команде магистрале *PCI* (1)



- 32-битна магистрала има четири линије (*C/BE#*) које одређују тип трансакције
  - команде се постављају током адресне фазе
- Подржане команде
  - У/И операције
  - Меморијске операције
  - Конфигурационе операције
  - Разне операције

## Команде магистрале PCI (2)



- У/И операције
  - У/И читање
  - У/И писање
- Меморијске операције
  - Стандардне меморијске операције
    - читање из меморије
    - уписивање у меморију
  - Блокоске меморијске операције
    - читање линије меморије (читање више од двоструке речи, а мање од линије кеша)
    - вишеструко читање меморије (читање више од линије кеша)
    - писање и демаркирање (пише читаве линије кеша)

## Команде магистрале PCI (3)



- Конфигурационе операције
  - сваки уређај мора да има конфигурациони простор од 256 бајтова коме могу да приступају други уређаји
  - употребљава се за самоконфигурисање (*plug and play*)
  - подржане команде:
    - читање конфигурације
    - писање конфигурације
- Разне операције
  - специјална команда
    - шаље поруку свим циљевима на магистрали
    - допуштене поруке су *Shutdown* и *Halt*
  - двострука адреса
    - ова команда допушта да 32-битни иницијатор користи 64-битне адресе за приступање меморији и преко границе од 4GB



## Магистрала *PCI* – читање

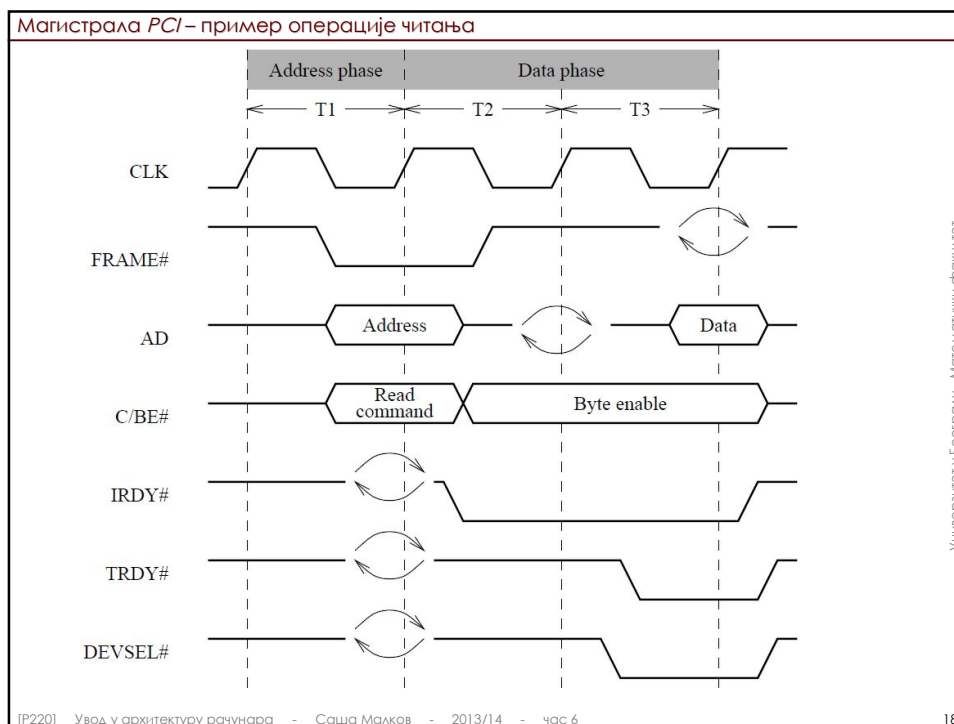


- Трансакција читања из меморије састоји се од
  - једног циклуса адресне фазе
  - два циклуса фазе података

## Магистрала *PCI* – читање



- Циклус адресне фазе:
  - након што му је додељена магистрала, иницијатор поставља
    - сигнал *FRAME#* да означи почетак циклуса читања
    - адресу на линије *AD*
    - команду на линије *C/BE#*



## Магистрала PCI – читање



- Први циклус фазе података (T2)
  - на почетку циклуса T2 (узлазни руб) циљ чита адресу и препознаје да је управо он циљ трансакције
    - због тога адреса мора бити стабилна бар  $T_{setup}$
  - иницијатор
    - ослобађа линије AD, да би циљ могао да упише прочитан податак
    - поставља IRDY# да значи да је спреман да прими податке
    - уместо команде на линије C/BE# поставља ознаке значајних бајтова
    - поништава FRAME# да значи да је у питању последња фаза података

## Магистрала *PCI* – читање



- Други циклус фазе података (Т3)
  - циљ поставља *DEVSEL#* како би обавестио иницијатора да ће одговорити на захтев
  - када буде спреман да испоручи податке, циљ поставља *TRDY#*
  - када прочита податке иницијатор поништава сигнал *IRDY#*
  - на то циљ одговара
    - склањањем података са линија *AD*
    - поништавањем сигнала *TRDY#* и *DEVSEL#*

## Магистрала *PCI* – проблеми



- При раду на  $33.33\text{ MHz}$  циклус траје  $30\text{ ns}$ 
  - време допуштено да се изда сигнал је  $11\text{ ns}$
  - време пропагације је  $10\text{ ns}$
  - допуштено време одступања руба циклуса је до  $2\text{ ns}$
  - време постављања је око  $7\text{ ns}$
- Рад на  $66\text{ MHz}$  доводи до више проблема:
  - време допуштено да се изда сигнал је  $6\text{ ns}$
  - време пропагације је  $5\text{ ns}$
  - допуштено време одступања руба циклуса је до  $1\text{ ns}$
  - **време постављања је свега око  $3\text{ ns}$**
- То је тешко остварити у пракси, због чега су ретке имплементације на  $66\text{ MHz}$

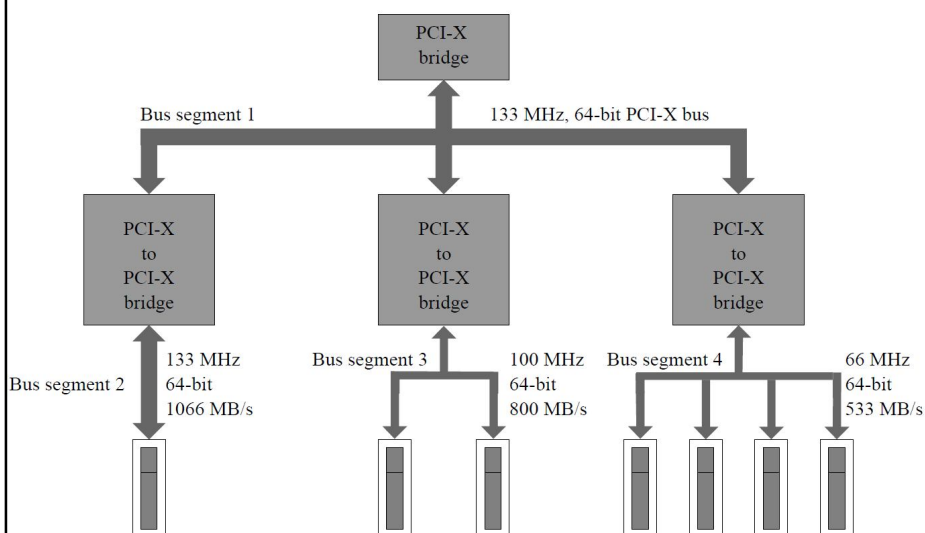
## Магистрала *PCI-X*



- Основне карактеристике магистрале *PCI-X*
  - 64-битна
  - 133 MHz (постоје и режими на 66 и 100 MHz)
  - 1064 MB/s
    - у режимима *DDR* и *QDR* и до 4264 MB/s
  - Поддржава до 256 сегмената
    - Сваки од сегмената може да има своју брзину рада
  - Компатибилна наниже са магистралом *PCI*
    - на нивоу сегмената – сваки сегмент ради илу у режиму *PCI* или у режиму *PCI-X*

Универзитет у Београду - Математички факултет

### Магистрала *PCI-X* – Пример сегмената



Универзитет у Београду - Математички факултет

## Магистрала PCI-X (2)



- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
  - подршка за подељене трансакције
  - фаза атрибута
  - оптимизована стања чекања
  - стандардизована величина блокова

## Магистрала PCI-X (2)



- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
    - механизам који служи за превазилажење проблеми у раду магистрале PCI на високим учесталостима
      - (кратког допуштеног трајања постављања податка)
    - употребљавају се регистри да чувају садржај магистрале између циклуса
    - тиме се продужава допуштено време декодирања захтева (и адресе) за цео циклус
  - подршка за подељене трансакције
  - фаза атрибута
  - оптимизована стања чекања
  - стандардизована величина блокова

## Магистрала PCI-X (2)



- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
  - подршка за подељене трансакције
    - уобичајена PCI трансакција се састоји од захтева и одговора
    - у случају PCI-X, захтев и одговор представљају одвојене трансакције
    - након што иницијатор пошаље захтев и прималац потврди његов пријем, иницијатор може да настави са другим активностима
    - када прималац припреми одговор, он иницира нову трансакцију за слање података
    - на овај начин се повећава искоришћеност магистрале, зато што није заузета током обраде захтева
  - фаза атрибута
  - оптимизована стања чекања
  - стандардизована величина блокова

## Магистрала PCI-X (2)



- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
  - подршка за подељене трансакције
  - фаза атрибута
    - омогућена је употреба 36-битног атрибута за детаљан опис трансакције
    - опис обухвата величину, редослед активности, идентификацију иницијатора,...
    - омогућена је измена редоследа трансакција у зависности од расположивости ресурса и важности трансакције
  - оптимизована стања чекања
  - стандардизована величина блокова

## Магистрала PCI-X (2)



- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
  - подршка за подељене трансакције
  - фаза атрибута
  - оптимизована стања чекања
    - подршка за дељене трансакције практично отклања потребу за стањима чекања
  - стандардизована величина блокова

## Магистрала PCI-X (2)



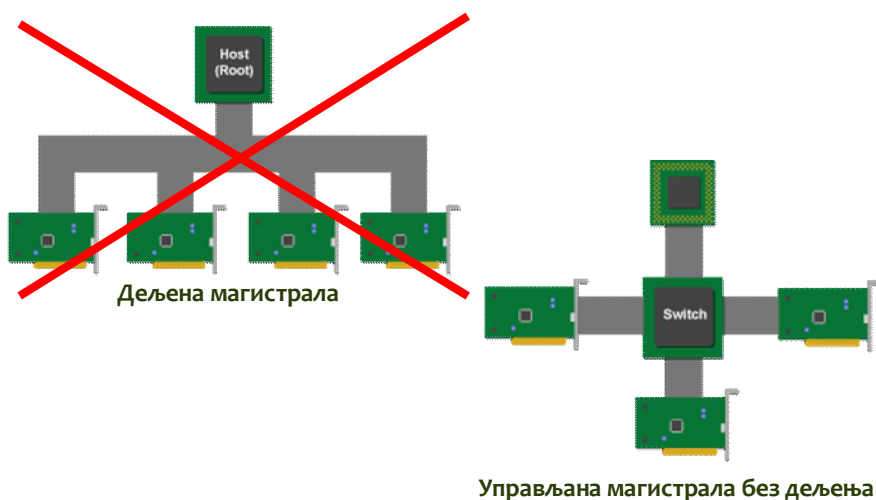
- Напредни елементи архитектуре:
  - протокол регистар-до-регистра
  - подршка за подељене трансакције
  - фаза атрибута
  - оптимизована стања чекања
  - стандардизована величина блокова
    - трансакције које раде са блоковима могу да се прекину само на 128-битним границама
    - тиме се омогућава ефикасније премештање блокова са преклапањем (*pipelining*)

## Магистрала *PCI Express* (1)



- Основне карактеристике магистрале *PCI Express*:
  - серијска архитектура
    - комуникација се, у основи, одвија серијски, а не паралелно
  - уместо дељене магистрале, сваки уређај има сопствену везу са прекидачем (*switch*)
    - као да сваки уређај има своју посвећену магистралу

## Магистрала *PCI Express* (2)





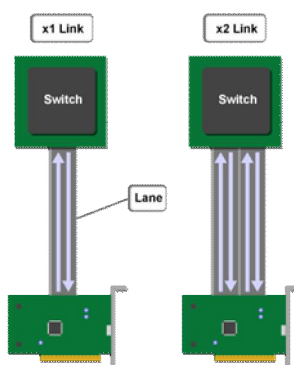
## Магистрала *PCI Express* (3)



- Карактеристични елементи архитектуре:
  - свака веза уређаја и прекидача се састоји од једног или више канала (*lane*)
    - канал је основни носилац комуникације
  - један канал се састоји од две једносмерне линије
    - једна за пренос сигнала од прекидача према уређају
    - једна за пренос сигнала од уређаја према прекидачу
  - дуплекс
    - омогућена је истовремена комуникација у оба смера

Универзитет у Београду - Математички факултет

## Магистрала *PCI Express* (4)



Канали и линије

Универзитет у Београду - Математички факултет

## Магистрала *PCI Express* (5)



- Основне карактеристике магистрале *PCI Express*:

- 2.5 GHz
- до 256 MB/s кроз један канал у једном смеру
- до 512 MB/s кроз један канал у два смера (дуплекс)
- брзина се може подизати додавањем канала
  - x1, x2, x4, x8, x16, x32 (до 16 GB/s)
- условна компатибилност са *PCI* магистралом
  - мост према магистрала *PCI* се повезује као један уређај на магистрала *PCI Express*

Универзитет у Београду - Математички факултет

[P271]  
Увод у архитектуру рачунара  
Саша Малков



## Тема 8 Меморија

## Меморија



- Меморија је уређај који омогућава чување (записивање) и читање података у рачунару

## Основне карактеристике



- Трајање записа
- Тип носиоца
- Капацитет
- Јединица преноса
- Адресибилност
- Цена
- Могући начини приступа
- Перформансе
- Могућност промене садржаја

## Трајање записа



- Меморије са сталним записом
- Меморије са привременим записом

## Тип носиоца



- Полупроводничке
- Са магнетном површином
- Оптичке

## Капацитет



- Капацитет се изражава у бајтовима или речима
- Уобичајене дужине речи
  - 8, 16, 32, 64, 128 битова
  - 1, 2, 4, 8, 16 бајтова
- Капацитет уобичајено у бајтовима
  - KiB, MiB, GiB, TiB
    - $1\text{KiB} = 1024\text{B}$ ,  $1\text{MiB} = 1024^2\text{B}$ ,  $1\text{GiB} = 1024^3\text{B}$ ,  $1\text{TiB} = 1024^4\text{B}$
  - KB, MB, GB, TB
    - $1\text{KB} = 10^3\text{B}$ ,  $1\text{MB} = 10^6\text{B}$ ,  $1\text{GB} = 10^9\text{B}$ ,  $1\text{TB} = 10^{12}\text{B}$

## Јединица преноса



- За унутрашње меморије јединица преноса је обично *реч*
  - 1,2,4,8,16 бајтова
- За спољашње меморије јединица преноса је обично *блок*
  - од 512B до неколико MB

## Адресибилност



- Адресибилна меморија
  - ако се може адресирати свака појединачна меморијска локација (реч)
- Полуадресибилна меморија
  - ако се адресом приступа групи бајтова, која је већа од речи
- Неадресибилна меморија
  - ако се садржају не приступа путем адресе

## Цена



- Цена меморије се пореди у односу на одређен капацитет и перформансе

## Могући начини приступа



- Секвенцијалан приступ
- Непосредан приступ
- Произвољан приступ
- Асоцијативан приступ

## Могући начини приступа



- **Секвенцијалан приступ**
  - подаци су организовани у јединице – *слојове*
  - слогови се међусобно раздвајају контролним информацијама
  - пише се редом
  - чита се редом, како је вршено писање
  - пример: магнетна трака
- Непосредан приступ
- Произвољан приступ
- Асоцијативан приступ

## Могући начини приступа



- Секвенцијалан приступ
- **Непосредан приступ**
  - постоји зависност адресе слога и његове физичке локације (не мора да буде пуна)
  - на основу адресе се приступа непосредно слогу или његовој околини
  - време за приступ није фиксно
  - пример: магнетни диск
- Произвољан приступ
- Асоцијативан приступ

## Могући начини приступа



- Секвенцијалан приступ
- Непосредан приступ
- **Произвољан приступ**
  - свака адресибилна локација има механизам приступа подацима
  - време за приступ је фиксно
  - пример: главна меморија рачунара
- Асоцијативан приступ



## Могући начини приступа



- Секвенцијалан приступ
- Непосредан приступ
- Произвољан приступ
- **Асоцијативан приступ**
  - подврста меморије са произвољним приступом
  - податку се приступа на основу неког узорка (маске) адресе или податка
  - пример: кеш меморија

## Перформансе



- Време приступа
  - трајање операције читања или писања
  - од неколико  $ns$  до неколико  $ms$
- Трајање временског циклуса
  - обухвата време приступа
  - и додатно време за ослобађање магистрале и припрему за наредну операцију
- Брзина преноса
  - време за које већа количина података може да се прочита или упише
  - узима у обзир време приступа али и архитектуру (прелитање и сл.)

## Могућност промене садржаја

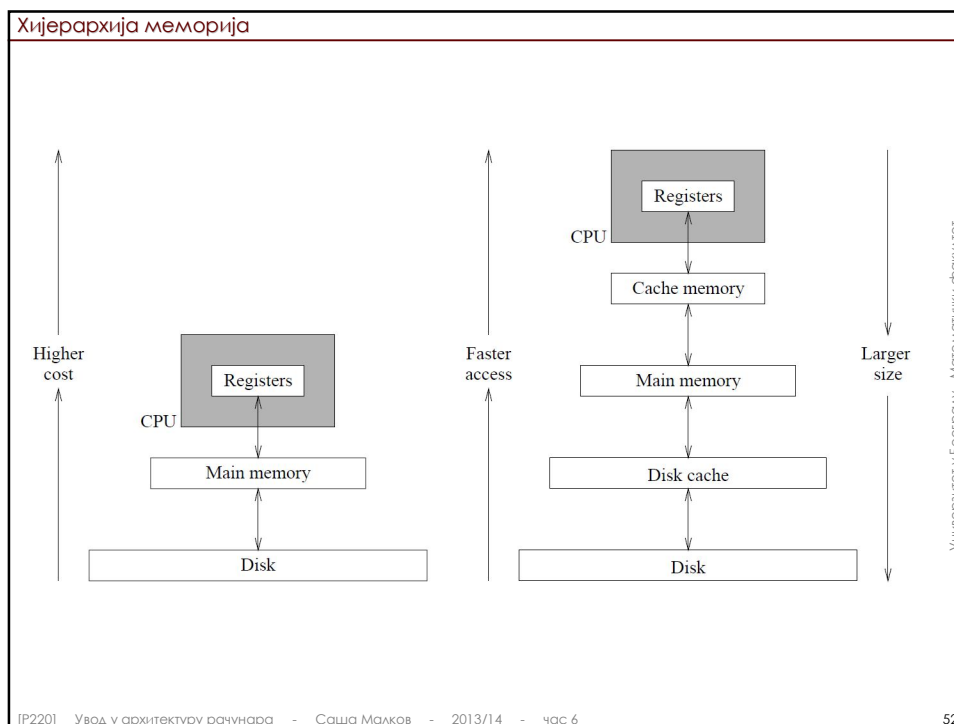


- Меморија само за читање
- Меморија за читање и писање

## Хијерархија меморија



- За меморију по правилу важи:
  - што је краће време приступа, цена је већа
  - што је већи капацитет, време приступа је дуже
  - што је већи капацитет, цена по биту је нижа
  - нове технологије доносе нижу цену по биту уз очување претходних односа



## Основне врсте меморије



- Два основна типа меморија:
  - меморије само за читање
    - (*read-only memory*)
    - ROM
  - меморије за читање и писање
    - (*read-write memory*)
    - RAM
    - назив (*random access memory*) је неисправан, зато што и ROM и RAM омогућавају произвољан приступ

## ROM



- ROM
  - меморија само за читање
  - (*read-only memory*)
  - не захтева напајање за одржавање садржаја
  - могу чувати податке док је рачунар искључен
  - обично се употребљава за подизање рачунарског система (*boot*)

## Врсте ROM-а



- Фабрички програмиран
  - прави се у случају масовне потребе
- Програмибилан
  - PROM (*programmable ROM*)
  - на пример, корисник може да спаљује осигураче по избору
- Вишекратно програмибилан
  - EPROM (*erasable programmable ROM*)
  - излагањем ултраљубичастом светлу се брише садржај EPROM-а
- Вишекратно програмибилан са ел. брисањем
  - EEPROM (*electrically erasable programmable ROM*)
  - омогућава да се селективно брише садржај

## RAM



- Две основне врсте RAM меморија су
  - статички RAM и
  - динамички RAM

## Статички RAM



- SRAM
- Имплементира се помоћу резе или флип-флопа
- Не захтева освежавање да би чувао садржај
- Предности:
  - Једноставност употребе
  - Брзина
- Употребљава се за кеш меморије

## Динамички *RAM*



- *DRAM*
- Имплементира се помоћу малих кондензатора
- Захтева периодично освежавање да би чувао садржај
- Читање нарушава садржај
  - неопходно *писање-после-читања*
- Предности
  - Нижа цена
  - Мање загревање
  - Већа густина паковања
- Употребљава се за радну меморију рачунара

## Технологије израде *DRAM*-а



- Динамичка меморија се дели на
  - асинхрону
    - меморија одређује време одзива за сваку од операција
    - ако часовник ради брже, уводе се стања чекања
    - брзина се мери временом одзива, нпр.  $20ns$
  - синхрону
    - рад меморије се синхронизује са часовником
    - зна се број циклуса за сваку од операција
    - брзина се мери брзином часовника и бројем циклуса

## SDRAM



- Динамичкој меморији се додају компоненте израђене од статичке меморије
  - Ознака
    - SDRAM
  - Намена
    - кеш или
    - бафер

## Неке врсте динамичког RAM-а



- FPM (*Fast Page Mode*)
- EDO (*Enhanced Data Out*)
- BEDO (*Burst EDO*)
- ESDRAM, CDRAM (*Enhanced SDRAM, Cache DRAM*)
- JEDEC SDRAM (*Enhanced SDRAM, Cache DRAM*)
- DDR SDRAM (*Double Data Rate SDRAM*)
- SGRAM (*Synchronous Graphics RAM*)
- RDRAM (*Rambus DRAM*)
- SLDRAM (*Synchronous Link DRAM*)

## DDR SDRAM



- **DDR SDRAM (Double Data Rate SDRAM)**
  - Увео двоструку брзину рада меморије
  - Подаци се испоручују по два пута у циклусу
    - на узлазном рубу
    - на силазном рубу

## DDR SDRAM



Standard name	Memory clock (MHz)	Cycle time <sup>[4]</sup> (ns)	I/O bus clock (MHz)	Data rate (MT/s)	V <sub>DDQ</sub> (V)	Module name	Peak transfer rate (MB/s)	Timings (CL-tRCD-tRP)
DDR-200	100	10	100	200	2.5±0.2	PC-1600	1600	
DDR-266	133½	7.5	133½	266½		PC-2100	2133½	
DDR-333	166½	6	166½	333½		PC-2700	2666½	
DDR-400A DDR-400B DDR-400C	200	5	200	400	2.6±0.1	PC-3200	3200	2.5-3-3 3-3-3 3-4-4



## DDR2 SDRAM



- **DDR2 SDRAM**
  - Подаци се испоручују по четири пута у циклусу
- Већа брзина преноса него код *DDR*
- Веће време приступа него код *DDR*

## DDR2 SDRAM



Standard name	Memory clock (MHz)	Cycle time (ns)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings <sup>[2][3]</sup> (CL-tRCD-tRP)	CAS latency (ns)
DDR2-400B DDR2-400C	100	10	200	400	PC2-3200	3200	3-3-3 4-4-4	15 20
DDR2-533B DDR2-533C	133½	7½	266½	533½	PC2-4200*	4266½	3-3-3 4-4-4	11½ 15
DDR2-667C DDR2-667D	166½	6	333½	666½	PC2-5300*	5333½	4-4-4 5-5-5	12 15
DDR2-800C DDR2-800D DDR2-800E	200	5	400	800	PC2-6400	6400	4-4-4 5-5-5 6-6-6	10 12½ 15
DDR2-1066E DDR2-1066F	266½	3¾	533½	1066½	PC2-8500*	8533½	6-6-6 7-7-7	11¾ 13¾

## DDR3 SDRAM



- **DDR3 SDRAM**
  - Подаци се испоручују по осам пута у циклусу
- Већа брзина преноса него код **DDR**

### DDR3 SDRAM

Standard name	Memory clock (MHz)	Cycle time (ns)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings (CL-tRCD-tRP)	CAS latency (ns)
DDR3-800D DDR3-800E	100	10	400	800	PC3-6400	6400	5-5-5 6-6-6	12 $\frac{1}{2}$ 15
DDR3-1066E DDR3-1066F DDR3-1066G	133 $\frac{1}{3}$	7 $\frac{1}{2}$	533 $\frac{1}{3}$	1066 $\frac{2}{3}$	PC3-8500	8533 $\frac{1}{3}$	6-6-6 7-7-7 8-8-8	11 $\frac{1}{4}$ 13 $\frac{1}{8}$ 15
DDR3-1333F* DDR3-1333G DDR3-1333H DDR3-1333J*	166 $\frac{2}{3}$	6	666 $\frac{2}{3}$	1333 $\frac{2}{3}$	PC3-10600	10666 $\frac{2}{3}$	7-7-7 8-8-8 9-9-9 10-10-10	10 $\frac{1}{2}$ 12 13 $\frac{1}{2}$ 15
DDR3-1600G* DDR3-1600H DDR3-1600J DDR3-1600K	200	5	800	1600	PC3-12800	12800	8-8-8 9-9-9 10-10-10 11-11-11	10 11 $\frac{1}{4}$ 12 $\frac{1}{2}$ 13 $\frac{3}{4}$
DDR3-1866J* DDR3-1866K DDR3-1866L DDR3-1866M*	233 $\frac{1}{3}$	4 $\frac{2}{7}$	933 $\frac{1}{3}$	1866 $\frac{2}{3}$	PC3-14900	14933 $\frac{1}{3}$	10-10-10 11-11-11 12-12-12 13-13-13	10 $\frac{5}{7}$ 11 $\frac{11}{14}$ 12 $\frac{9}{7}$ 13 $\frac{13}{14}$
DDR3-2133K* DDR3-2133L DDR3-2133M DDR3-2133N*	266 $\frac{2}{3}$	3 $\frac{3}{4}$	1066 $\frac{2}{3}$	2133 $\frac{2}{3}$	PC3-17000	17066 $\frac{2}{3}$	11-11-11 12-12-12 13-13-13 14-14-14	10 $\frac{5}{16}$ 11 $\frac{1}{4}$ 12 $\frac{3}{16}$ 13 $\frac{1}{8}$

## Литература



- *Sivarama Dandamudi, Fundamentals of Computer Organization and Design, Springer, 2002.*
- *Ненад Мишић, Основи рачунарских система, Математички факултет, 2002.*