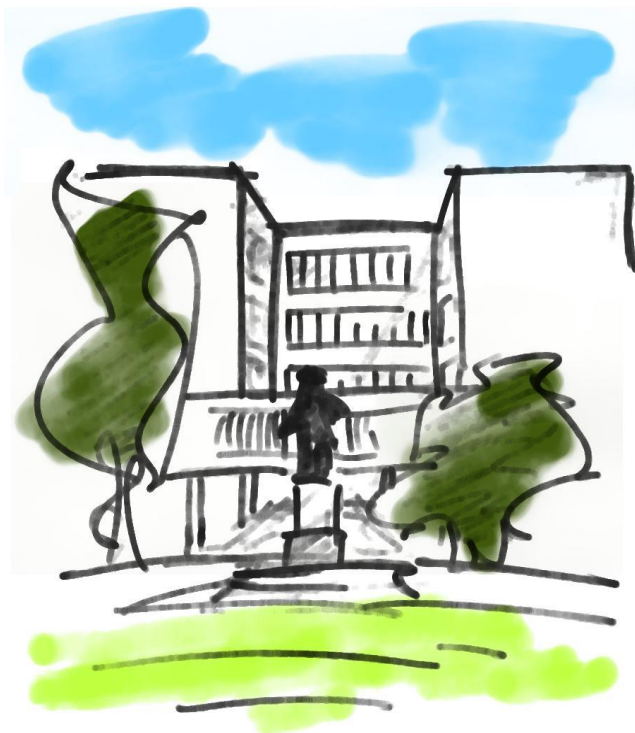


[P220]

Увод у архитектуру рачунара

3



Саша Малков

Универзитет у Београду
Математички факултет

2013/2014



[P271]

Увод у архитектуру рачунара

Саша Малков

Тема 4

Комбинаторне мреже (наставак)



Аритметичко-логичка јединица

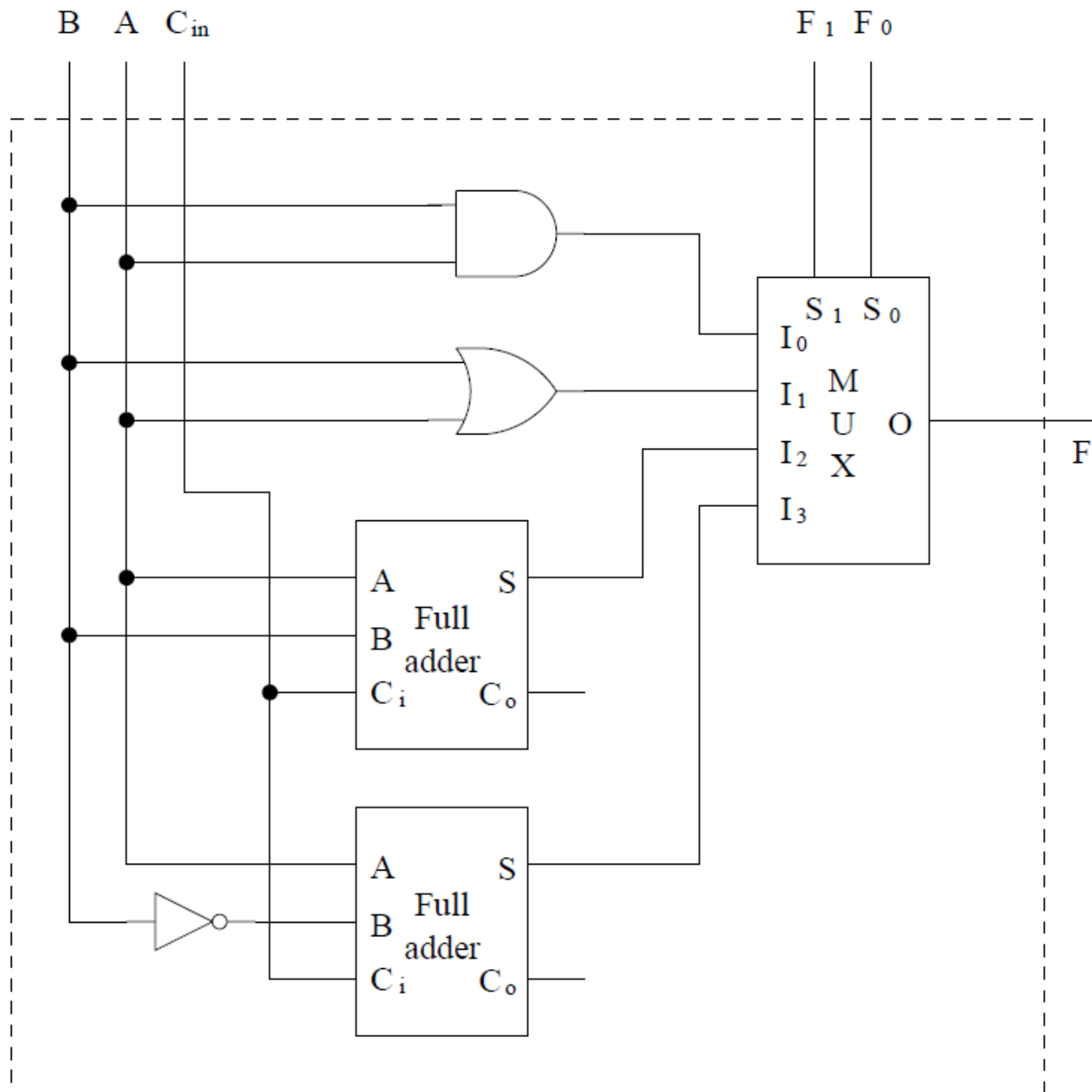
- До сада је изложено довољно материјала да можемо да направимо једноставну аритметичко-логичку јединицу (АЛЈ) (енгл. *arithmetic logic unit*)
- Задатак:
 - имплементирати коло које у зависности од улаза F_0 и F_1 рачуна конјункцију, дисјункцију, збир или разлику два улазна бита A и B

F_1	F_0	F
0	0	$A \wedge B$
0	1	$A \vee B$
1	0	$A + B$
1	1	$A - B$



Решење (1)

- Идеја:
 - Резултат се рачуна помоћу мултиплексора који има као улаз резултате свих подржаних операција, а као селекторске улазе F_0 и F_1
 - Конјункција и дисјункција се рачунају непосредном применом елемената И и ИЛИ
 - За сабирање се употребљава сабирач са улазима A и B
 - За одузимање се употребљава сабирач са A и B'
 - допуна до пуног комплемента ће доћи као претходни пренос





Решење (3)

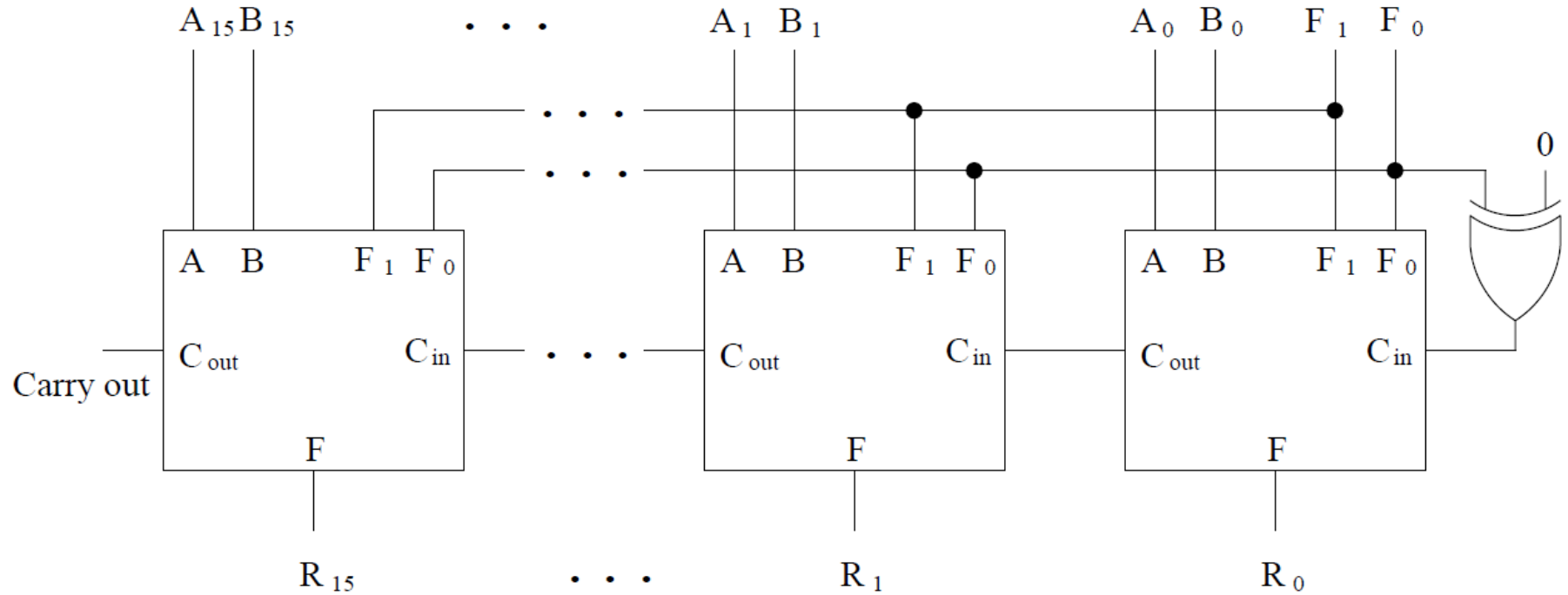
- Поједностављење:
 - Један сабирач може да се употребљава и за сабирање и за одузимање
 - Улаз B се негира у зависности од улаза F_0
 - ако је $F_0 = 1$, онда се негира
 - иначе не
 - То је еквивалентно операцији $B \text{ XOR } F_0$
 - Допуна до пуног комплемента се решава као пренос

Решење (5)



- Помоћу описане 1-битне АЛЈ можемо направити и сложенију, на пример, 16-битну АЛЈ

Решење (6)





[P271]

Увод у архитектуру рачунара

Саша Малков

Тема 5

Секвенцијалне мреже



Појам секвенцијалне мреже

- Секвенцијална мрежа је скуп повезаних логичких елемената чији излаз у неком тренутку зависи од текућег стања елемената мреже и вредности улаза у “том истом” временском тренутку

Концепти севенцијалне мреже

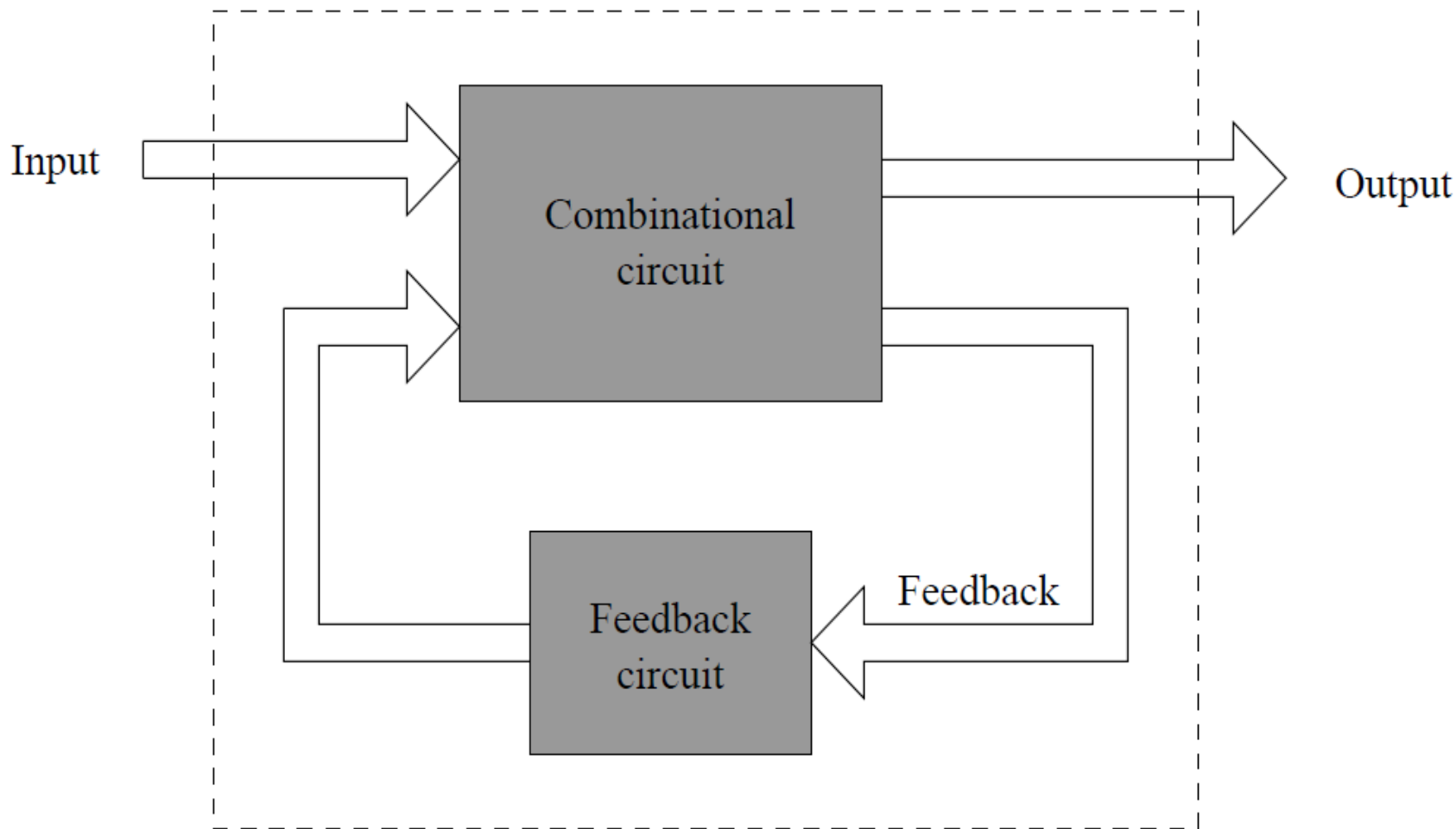


- Текуће стање елемената се очитава путем неких излаза мреже
- То практично значи да
 - из секвенцијалне мреже излазе
 - резултати
 - стања елемената апстрахована као “променљиве стања”
 - у секвенцијалну мрежу улазе
 - аргументи
 - стања елемената апстрахована као “променљиве стања”
- Секвенцијална мрежа се може апстраховати као склоп комбинаторне мреже и мреже која омогућава поновну употребу променљивих стања



Концептуални дијаграм

Sequential circuit



Стабилност система

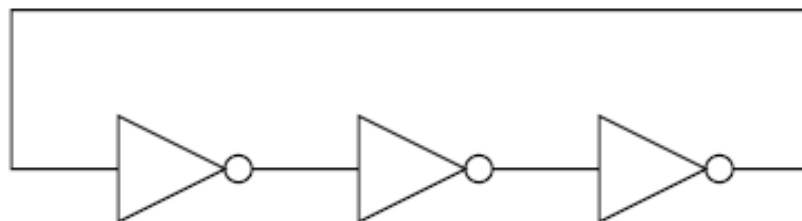
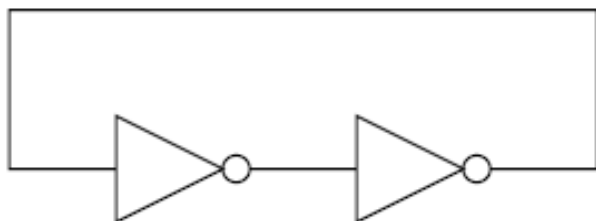


- За систем кажемо да је стабилан ако се за непроменљив улаз добијају непроменљиво стање и непроменљив излаз
- Систем није стабилан ако се за непроменљив улаз добијају променљиво стање или променљив излаз



Стабилност система (2)

- Примери стабилног и нестабилног кола:



Проблем пројектовања



- У случају комбинаторних мрежа постоји једноставан метод пресликавања логичких функција у кола
 - зато што је систем стабилан
 - зато што је детерминистички (у односу на улаз)
- У случају секвенцијалних мрежа проблем је далеко сложенији

Асинхрона и синхрона кола



- Дигитална кола могу да функционишу у два режима:
 - Асинхрони режим
 - Синхрони режим

Асинхрони режим рада



- Асинхрони режим
 - дигитална кола функционишу независно једна од других
 - тренутак одвијања промена у једном колу не зависи од тренутка одвијања промена у другом
 - нису сви излази и улази исправни у истом тренутку
 - асинхрони рад је проблематичан ако излаз једног кола мора да представља улаз за неко друго коло



Синхрони режим рада

- Синхрони режим
 - сва кола у систему мењају своја стања у прецизно дефинисаним тренуцима
 - тренуци промена су одређени сигналом часовника
 - последица је да брзина рада зависи од часовника
 - чак и када би неке операције могле да се заврше раније, мора да се чека на часовник

Часовник



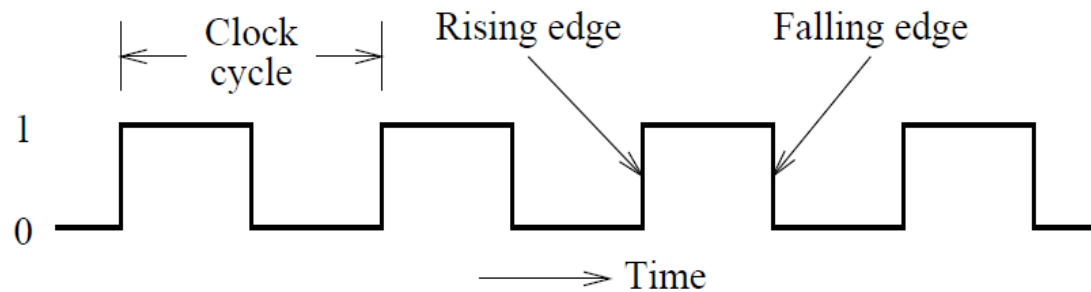
- Часовник је сигнал који представља секвенцу наизменичних вредности 0 и 1
- Уобичајено се сигнал представља као да се прелазак стања часовника са 0 на 1 (и обратно) одвија тренутно, мада тај прелазак у свакој имплементацији има неко трајање
 - Период (или тренутак) мењања стања се назива “руб”
 - Прелазак са 0 на 1 се назива “узлазни руб” (или “руб успона”, “позитиван руб”) (енгл. *rising edge*)
 - Прелазак са 1 на 0 се назива “силазни руб” (или “руб силаска”, “негативан руб”) (енгл. *falling edge*)

Трајање стања сигнала

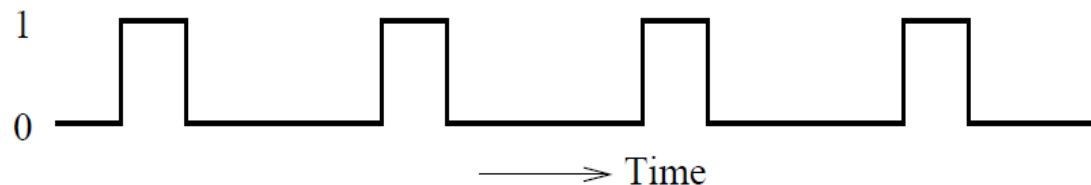


- Иако је уобичајено да трајање сваког непроменљивог стања сигнала часовника буде једнако (тзв. *симетричан часовник*), може се употребљавати и часовник код кога трајање стања 0 и 1 није једнако (тзв. *асиметричан часовник*)
- “*Циклус часовника*” је период између два узастопна узлазна руба
- “*Брзина часовника*” је број циклуса у секунди и изражава се у Херцима (Hz)
 - на пример, ако је брзина часовника $100MHz$, тада је трајање једног циклуса $10ns$

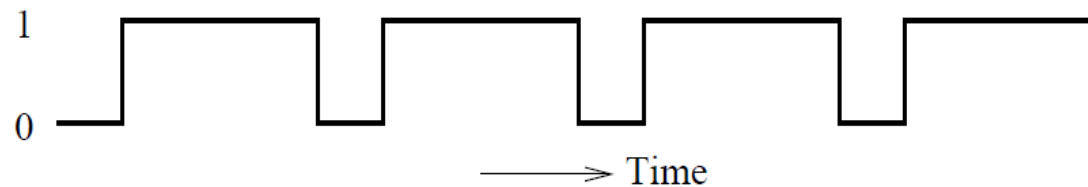
ТИПОВИ ЧАСОВНИКА



(a) Symmetric



(b) Smaller ON period



(c) Smaller OFF period

Улоге часовника



- Основна улога часовника је глобална синхронизација сигнала у систему
 - Сваки циклус има три значајна дела:
 - почетак циклуса
 - крај циклуса
 - средишња промена сигнала
 - средина циклуса у случају симетричних часовника
- Друга улога часовника је мерење времена у облику броја циклуса

Елементарне секвенцијалне мреже

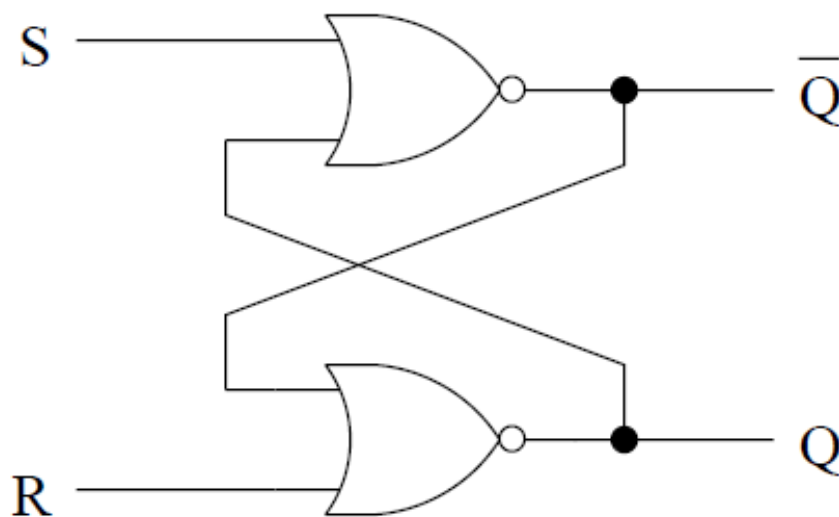


- Постоје две врсте елементарних секвенцијалних мрежа:
 - реза (енгл. *latch*)
 - коло које реагује на ниво сигнала, без обзира на тип промене
 - чува 1 бит стања
 - флип-флоп (енгл. *flip-flop*)
 - коло које реагује само на промене на узлазном или силазном рубу циклуса
 - чува 1 бит стања
- Подела је релативно нова, па се негде употребљава само један од ових назива (обично *флип-флоп*) за обе врсте елемената



SR реза

- Назива се и *SR* елемент (енгл. *SR latch*, *SR* потиче од *set-reset*)
 - користи се и назив *RS* елемент
- Има два улаза *S* и *R* и два излаза *Q* и \bar{Q}
- Имплементира се помоћу два НИЛИ елемента:





SR реза – анализа понашања

- $S=0, R=1$
 - због $R=1$ мора да буде $Q=0$
 - због $S=Q=0$ се добија $Q'=1$
- $S=1, R=0$
 - због $S=1$ мора да буде $Q'=0$
 - због $R=Q'=0$ се добија $Q=1$
- $S=0, R=0$
 - ако је претходно било $Q=0, Q'=1$
 - онда ће сада бити $Q'=1, Q=0$
 - ако је претходно било $Q=1, Q'=0$
 - онда ће сада бити $Q'=0, Q=1$

SR реза – анализа понашања (2)

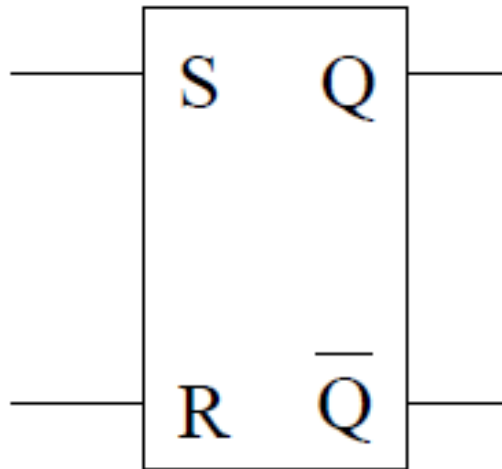


- Све док су оба улаза 1, оба излаза ће бити 0
- Проблем је у случају промене улаза са (1,1) на (0,0) :
 - промена улаза се никада у пракси не дешава дословно истовремено
 - или ће бити $(1, 1) \rightarrow (0, 1) \rightarrow (0, 0)$
 - или ће бити $(1, 1) \rightarrow (1, 0) \rightarrow (0, 0)$
 - ако се промена одвија као: $(1, 1) \rightarrow (0, 1) \rightarrow (0, 0)$
 - прва промена поставља (Q, Q') на (0, 1)
 - друга не мења стање
 - ако се промена одвија као: $(1, 1) \rightarrow (1, 0) \rightarrow (0, 0)$
 - прва промена поставља (Q, Q') на (1,0)
 - друга не мења стање
- Због тога што се тако добија недетерминистичко понашање, улаз (1, 1) се сматра за неисправан (!!!)

SR резз



- Логички симбол и истинитосна таблица:



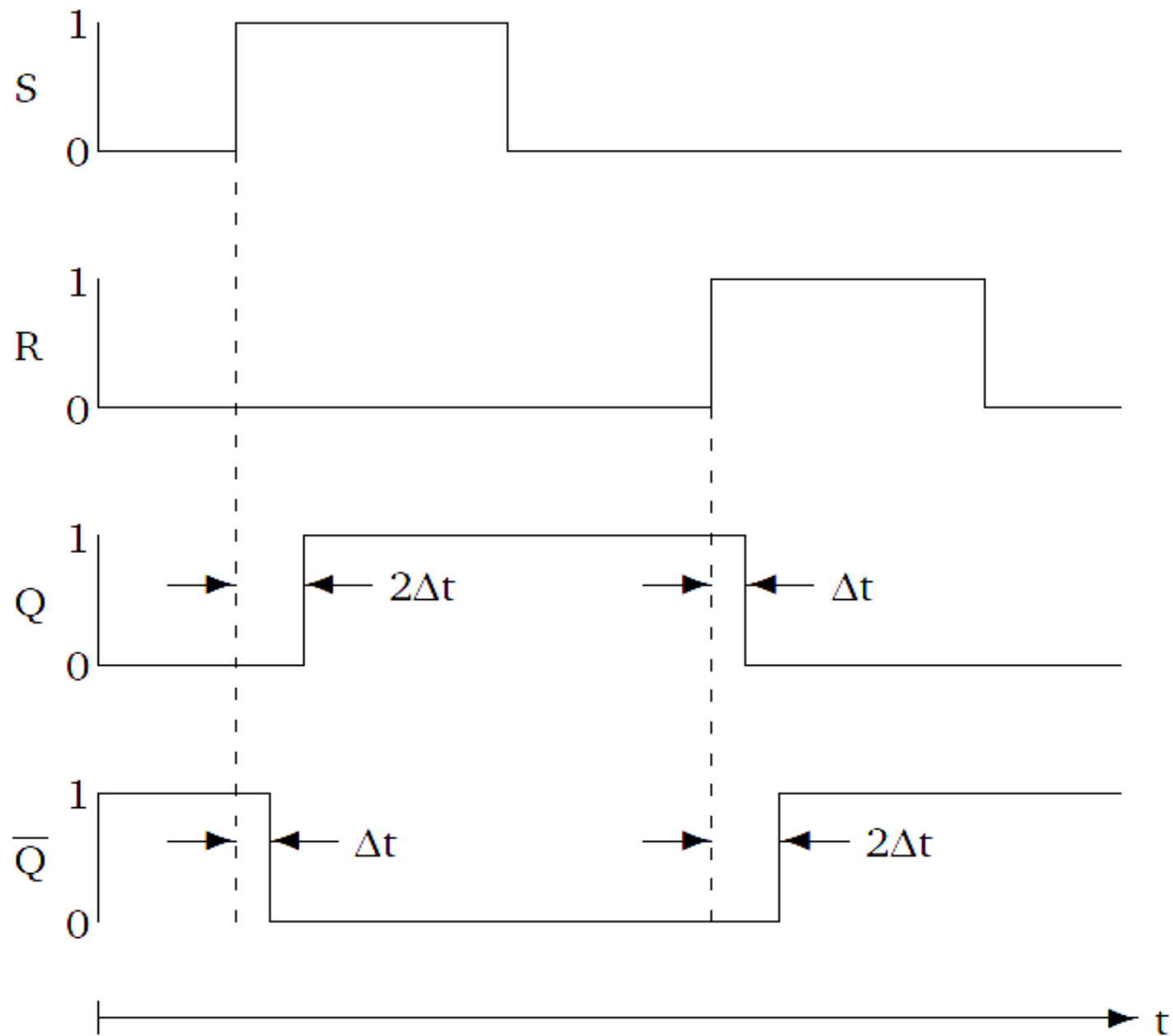
S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	0



Понашање SR резе

- Ако су оба улаза неактивна, чува стање
- Ако је само улаз R активан, поставља стање на 0
- Ако је само улаз S активан, поставља стање на 1

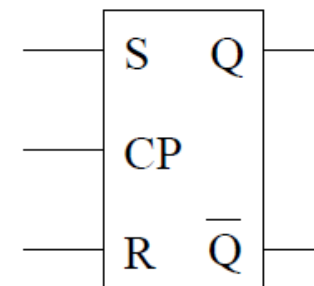
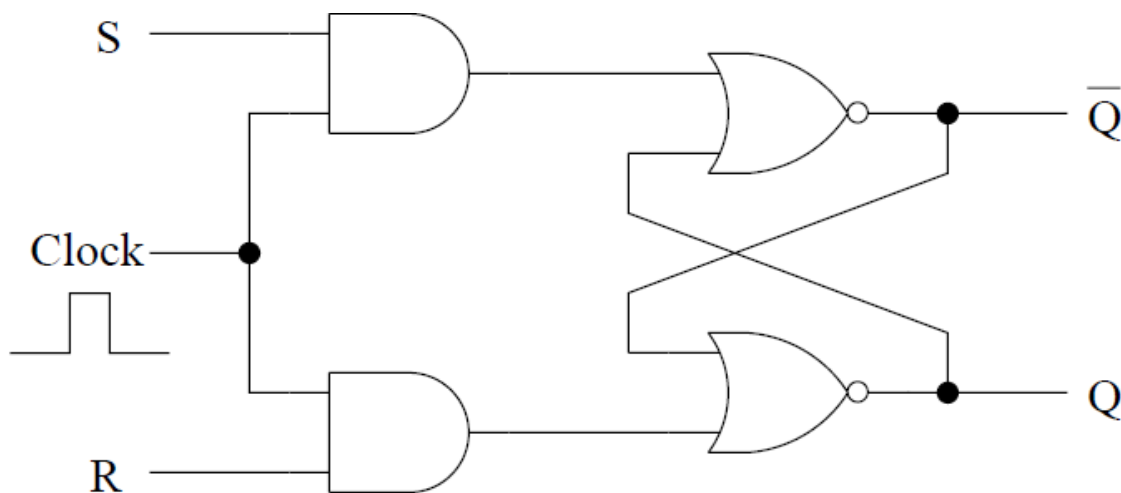
- Излаз SR резе се мења асинхроно у односу на улаз, у зависности од брзине употребљених НИЛИ елемената





SR реза са часовником

- Синхронизација се остварује додавањем улазног сигнала часовника у коло
 - тако улазни сигнали не утичу на евентуалну промену све док сигнал часовника не достигне висок ниво



SR реза са часовником (2)

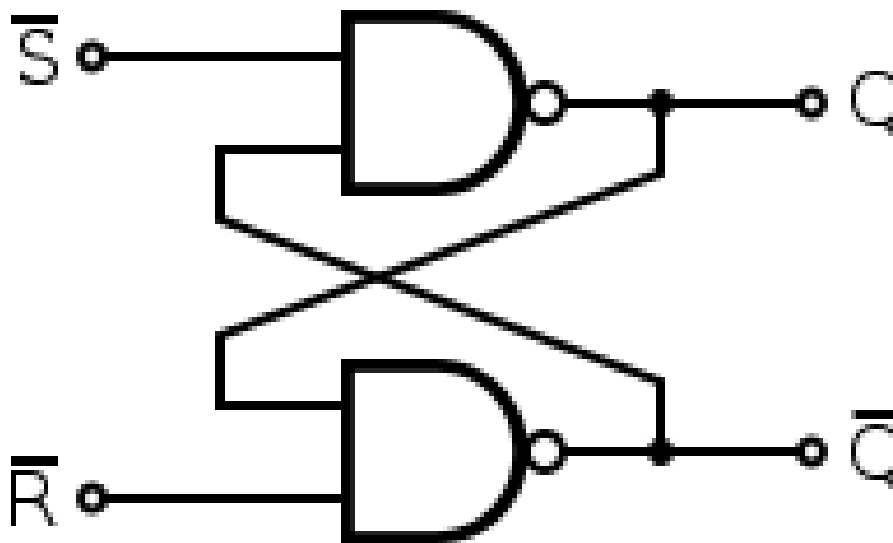


- Ово коло је и даље реза а не флип-флоп
 - зато што и даље реагује на ниво улазног сигнала током читавог трајања позитивног сигнала часовника



$S'R'$ НИ реза

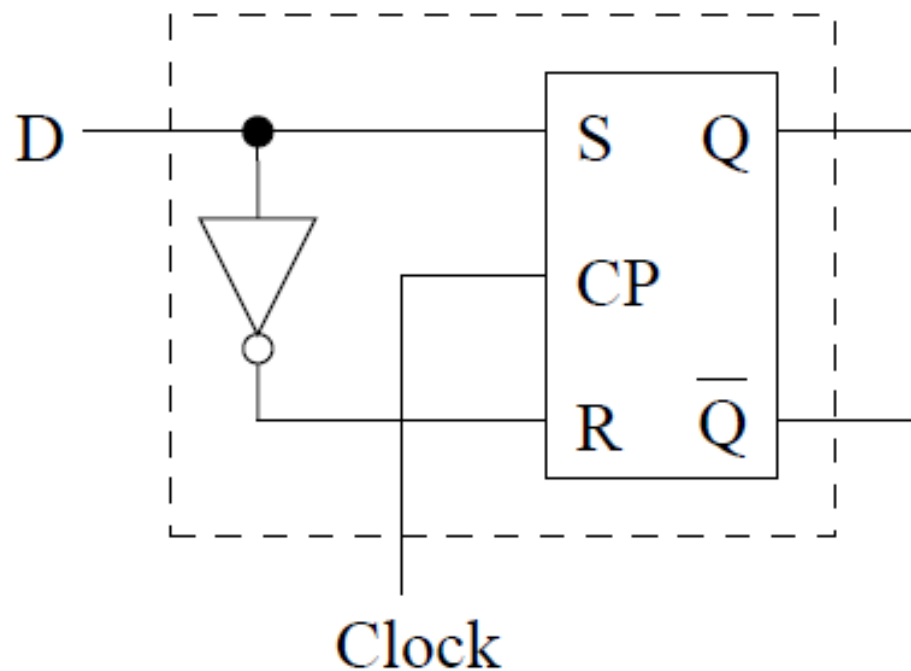
- Варијанта SR резе имплементиране помоћу НИ елемената
- Понаша се управо обрнуто од SR резе, због чега се улази означавају са S' и R'





D реза

- Проблем са свим врстама SR реза је у томе што мора да се избегава пар вредности $(1,1)$ на улазу
- То се може решавати применом D резе:



D реза – анализа понашања

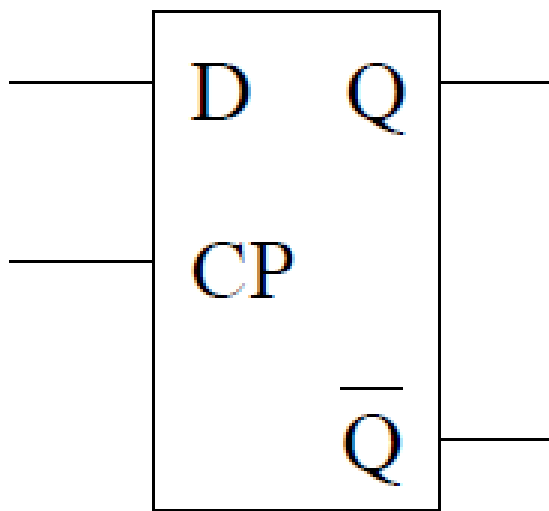


- Све док је сигнал часовника неактиван, промене на улазу немају утицаја на резултат, тј. резултат је исти као и раније
- У тренутку активирања сигнала часовника (или контролног сигнала), стање улаза се пропагира на излаз
- Ово је реза (а не флип-флоп), зато што се свака промена улаза током трајања активног сигнала часовника непосредно пропагира на излаз

D реза



- Логички симбол и таблица истинитосних вредности

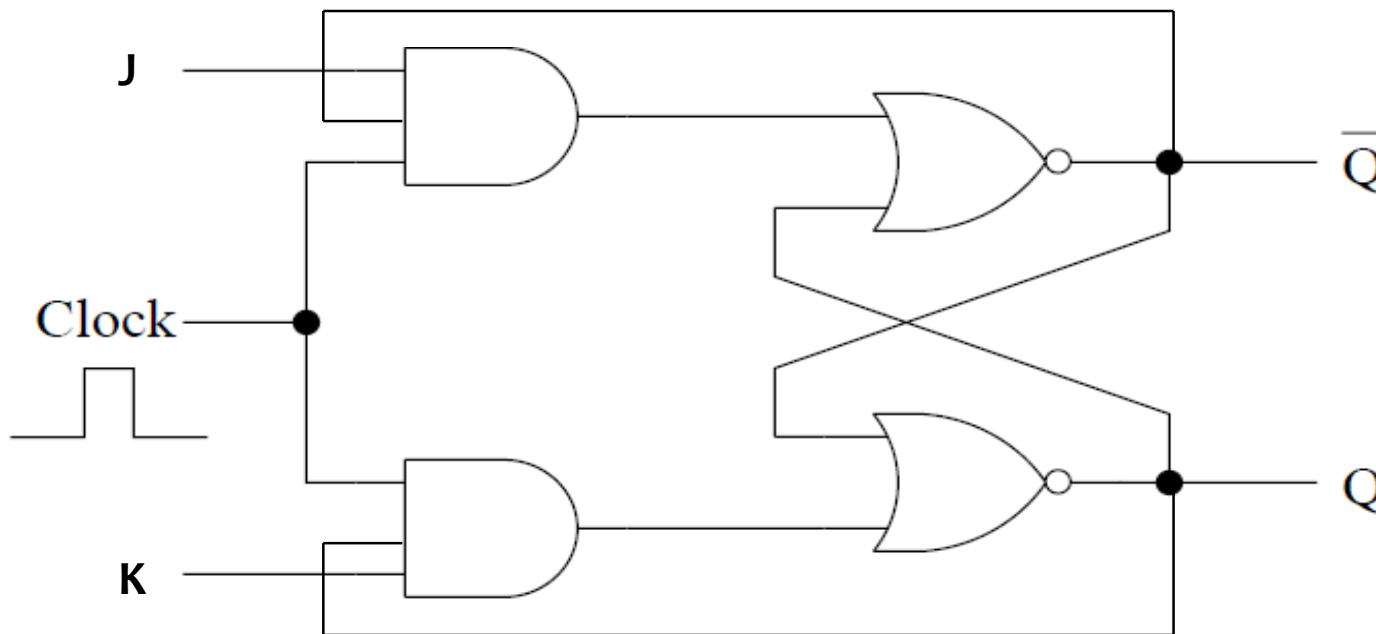


D	Q_{n+1}
0	0
1	1

JK реза



- JK реза се разликује по томе што улаз (1,1) мења постојеће стање, без обзира на то какво је



JK реза – анализа понашања

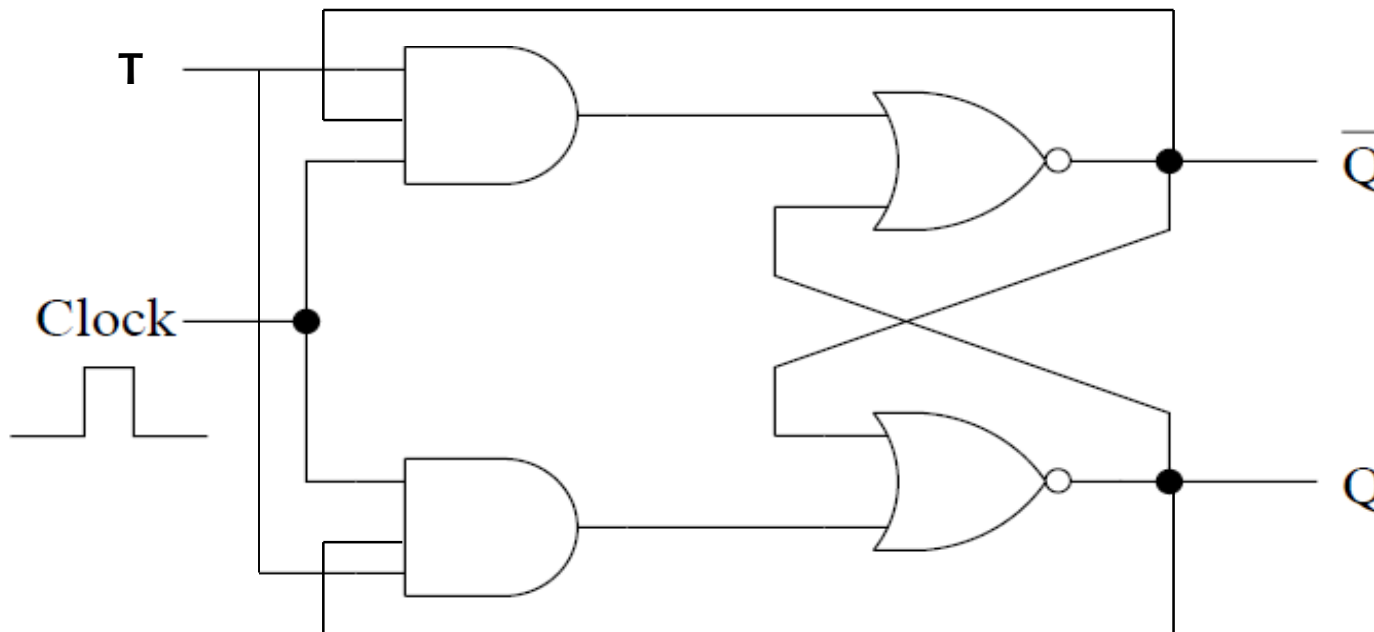


- Све док је сигнал часовника неактиван, промене на улазу немају утицаја на резултат, тј. резултат је исти као и раније
- У тренутку активирања сигнала часовника (тј. контролног сигнала), стање улаза се пропагира на излаз
 - сигнал $J=1$ се узима у обзир само ако је $Q'=1$
 - сигнал $K=1$ се узима у обзир само ако је $Q=1$
 - због тога се за улаз $(1, 1)$ коло понаша као за $(1,0)$ или $(0,1)$, у зависности од стања и свакако мења стање
- Ово је реза (а не флип-флоп), зато што се свака промена улаза током трајања активног сигнала часовника непосредно пропагира на излаз

T реза



- *T* реза се добија преспајањем улаза *JK* резе:
 - 0 на улазу чува стање
 - 1 на улазу мења стање



JK реза и T реза су нестабилне



- Ако
 - улазни сигнал представља промену стања
 - $(1, 1)$ за JK резу
 - 1 за T резу
 - активан сигнал часовника траје дуже него пропација кроз резу
- Тада:
 - промена стања резе ће се понављати све док траје активно стање часовника
- JK реза и T реза су нестабилна кола и релативно ретко се употребљавају

Флип-флоп кола

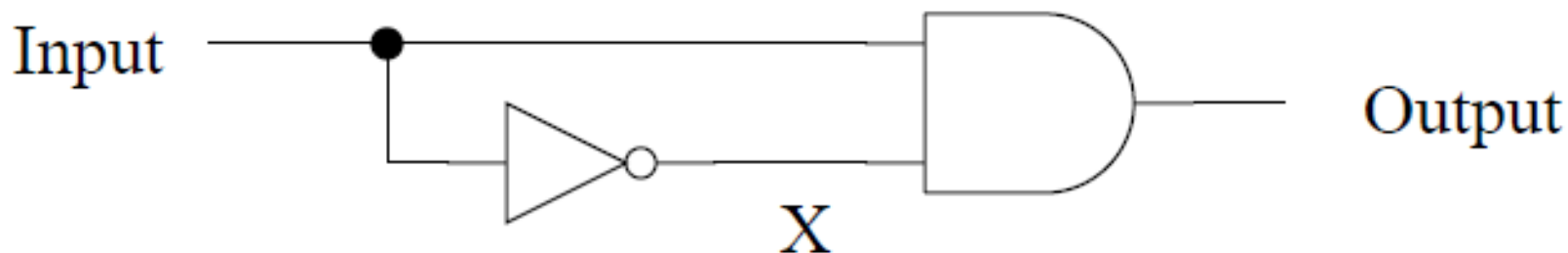


- Секвенцијална мрежа се назива *флип-флоп* ако се вредности улаза употребљавају само на једном рубу циклуса часовника
 - обично на узлазном рубу
- Тиме се омогућава да се у осталим фазама циклуса промене улаза практично игноришу и не ремете рад кола



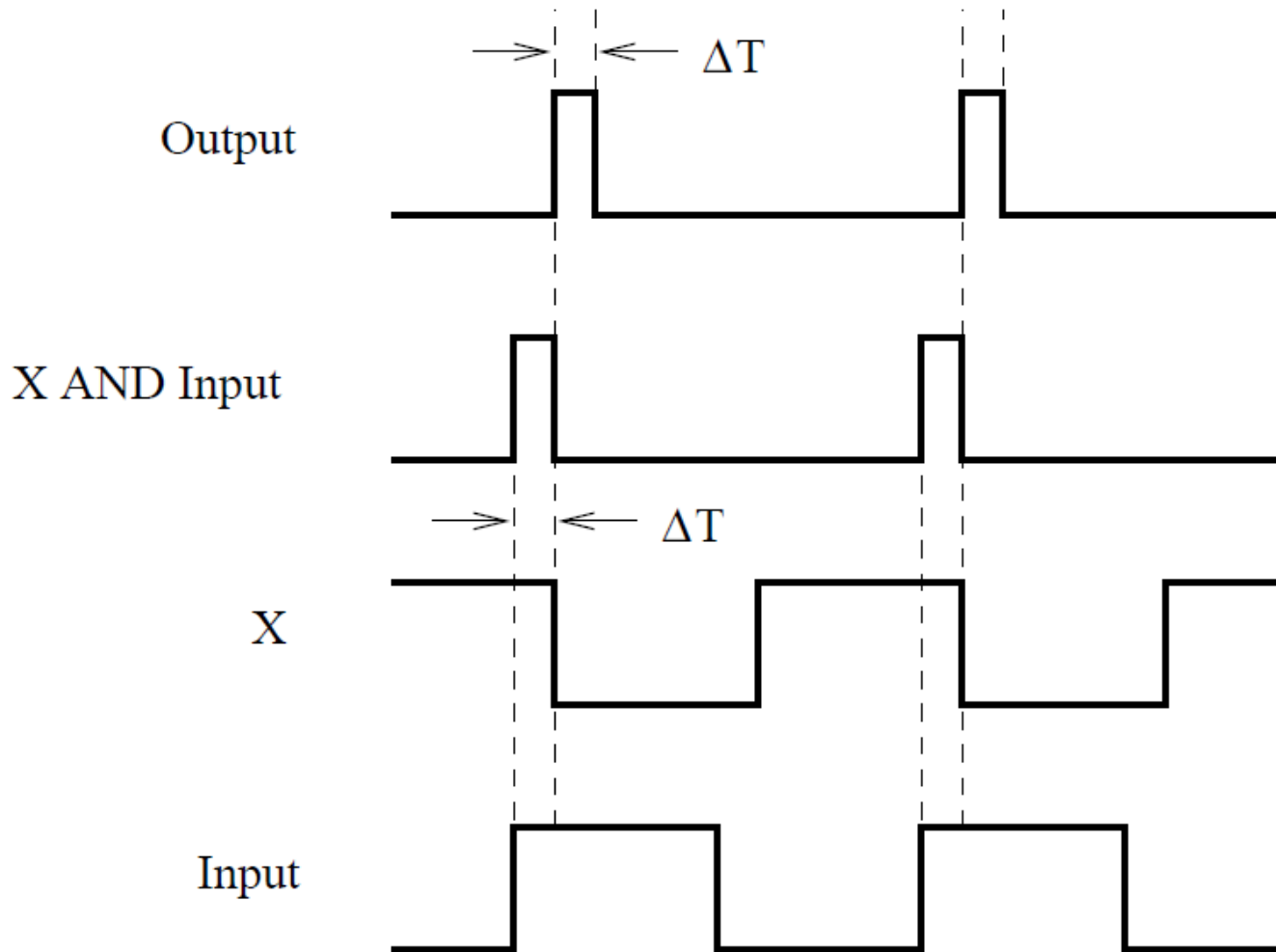
Ограничавање на улазни руб

- Улазни сигнал се може ограничити на употребу само на улазном рубу часовника применом једноставног кола:



- Излаз из овог кола је активан само
 - на почетку циклуса (на улазном рубу)
 - онолико дуго колико је НЕ елементу потребно да пропагира промену

Ограничавање на улазни руб (2)



Трајање пропагације



- *Трајање пропагације* (енгл. *propagation delay*) је време потребно да неки елемент (или коло) на излазу да резултат који одговара вредностима на улазу

Време задржавања



- *Време задржавања* (енгл. *hold time*) је неопходно трајање стабилних вредности на улазима неког кола да би коло испоручило исправне излазне вредности
- Минимално трајање циклуса је одређено временом задржавања кола
 - За једноставне елементе време задржавања је скоро исто као и трајање пропагације, па је честа грешка повезивање трајања пропагације са минималним трајањем циклуса

Време припреме

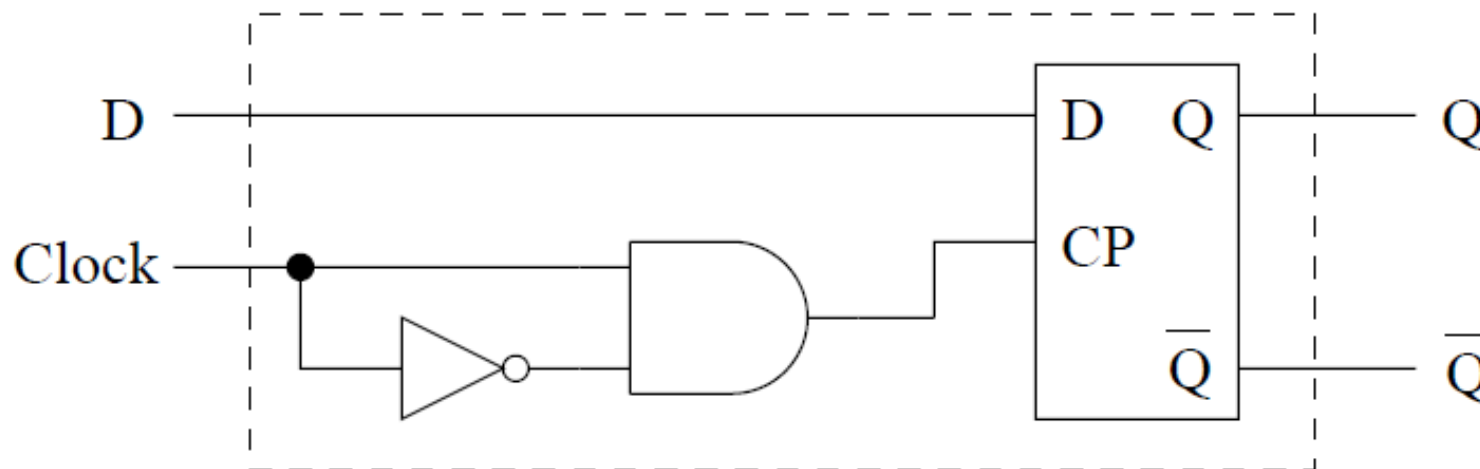


- *Време припреме* (енгл. *setup time*) описује колико пре одговарајућег руба циклуса улази морају имати припремљене вредности
- Одговарајући руб циклуса може бити узлазни или силазни, зависно од врсте кола



D флип-флоп

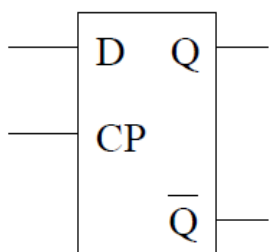
- *D* флип-флоп се прави помоћу *D* резе, ограничавањем контролног сигнала на узлазни руб циклуса:



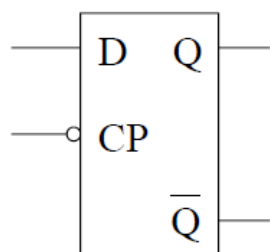


Симболи за резе и флип-флопове

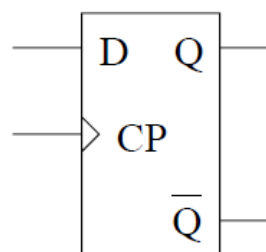
- Логички симболи за флип-флопове се разликују по нацртаном врху стрелице контролног улаза (часовника):



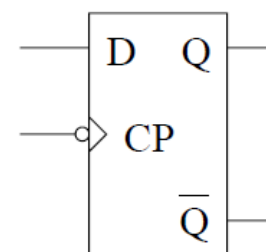
(a)



(b)



(c)



(d)

- (a) D реза осетљива на висок ниво контролног сигнала
- (b) D реза осетљива на низак ниво контролног сигнала
- (c) D флип-флоп осетљив на узлазни руб циклуса
- (d) D флип-флоп осетљив на силазни руб циклуса

JK флип-флоп

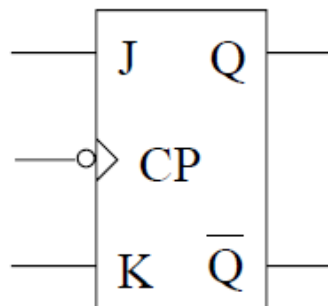


- Функционише као и JK реза с тим да
 - прихвата (чита) улаз на узлазном рубу циклуса и
 - производи излаз на силазном рубу циклуса

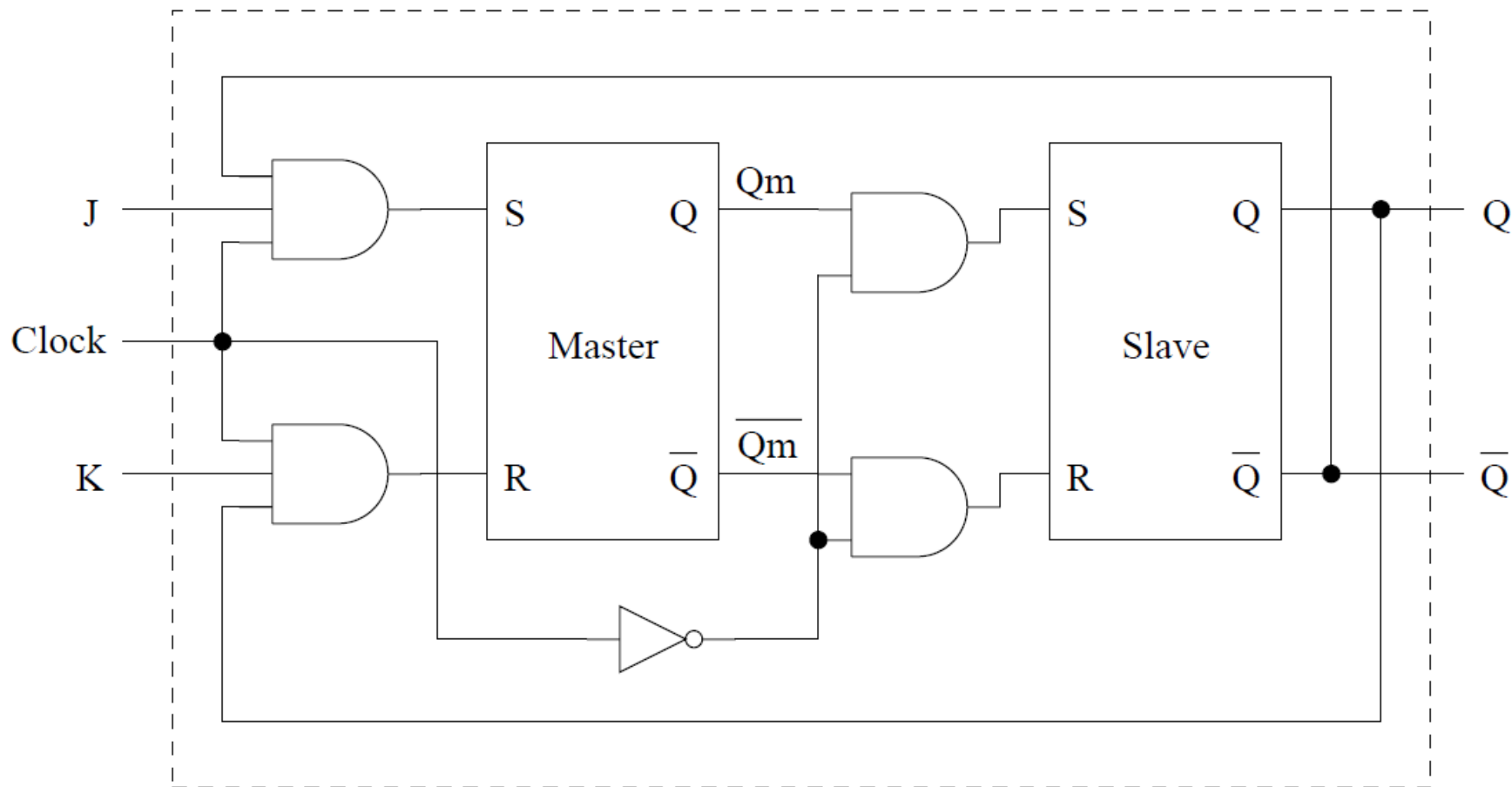


JK флип-флоп

- Прави се помоћу две SR резе (*главне и подређене*)
 - главна SR реза се активира током активног дела циклуса
 - излаз главне SR резе се преноси на излаз током неактивног дела циклуса
- Због тога што се излаз прави на силазном рубу логички симбол је:



JK флип-флоп

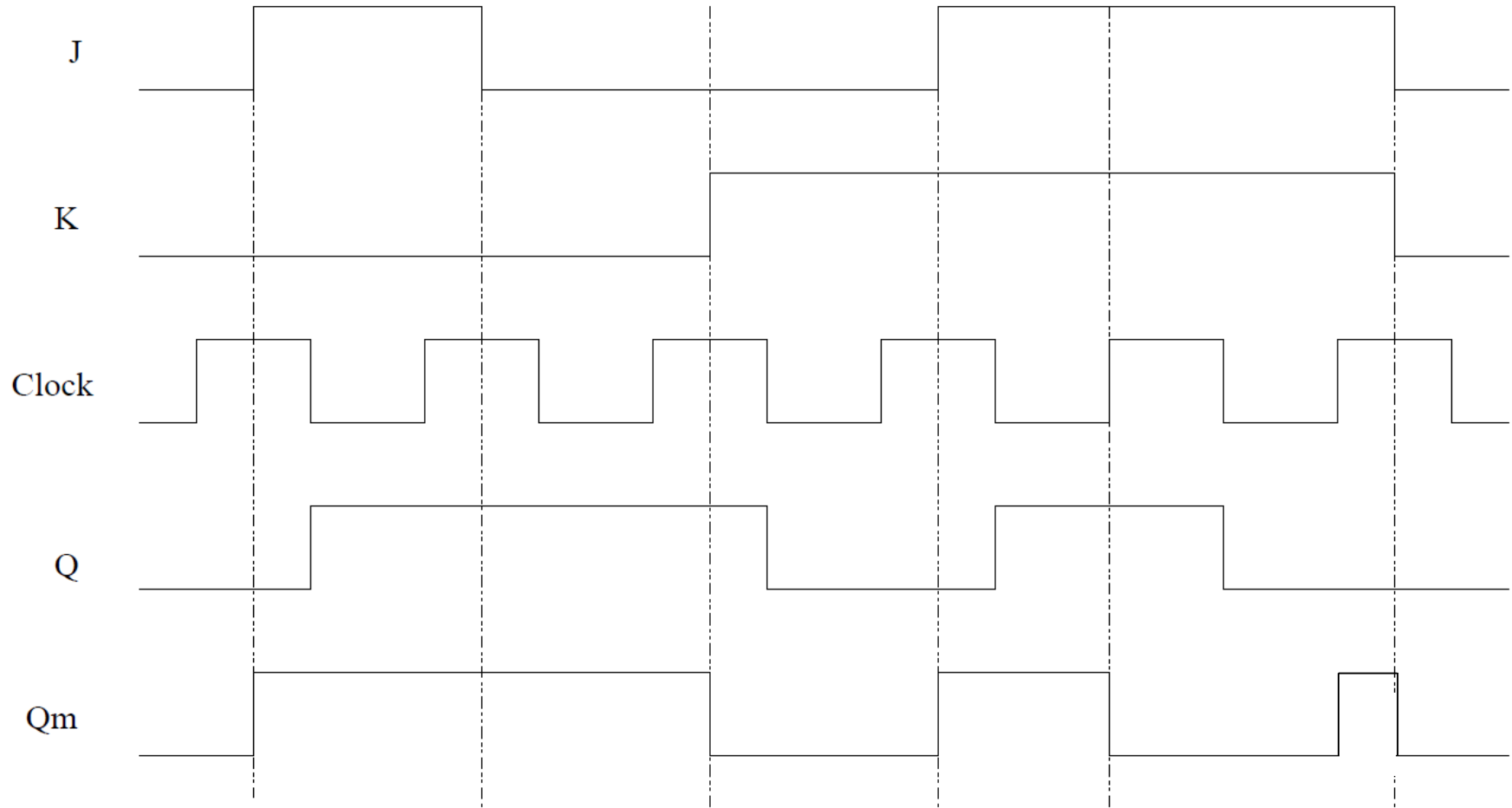


JK флип-флоп - понашање



- Током трајања активног сигнала часовника, главна SR реза производи излаз који представља или *set* или *reset* улаз за подређену SR резу
 - излаз је стабилан зато што на њега утиче тек излаз из подређене резе, који се не мења током активног дела циклуса
- На силазном рубу циклуса се сигнал пропагира кроз подређену резу
 - не остварује се одмах утицај на главну резу, зато што она допушта промене тек током позитивног дела циклуса

JK флип-флоп - понашање





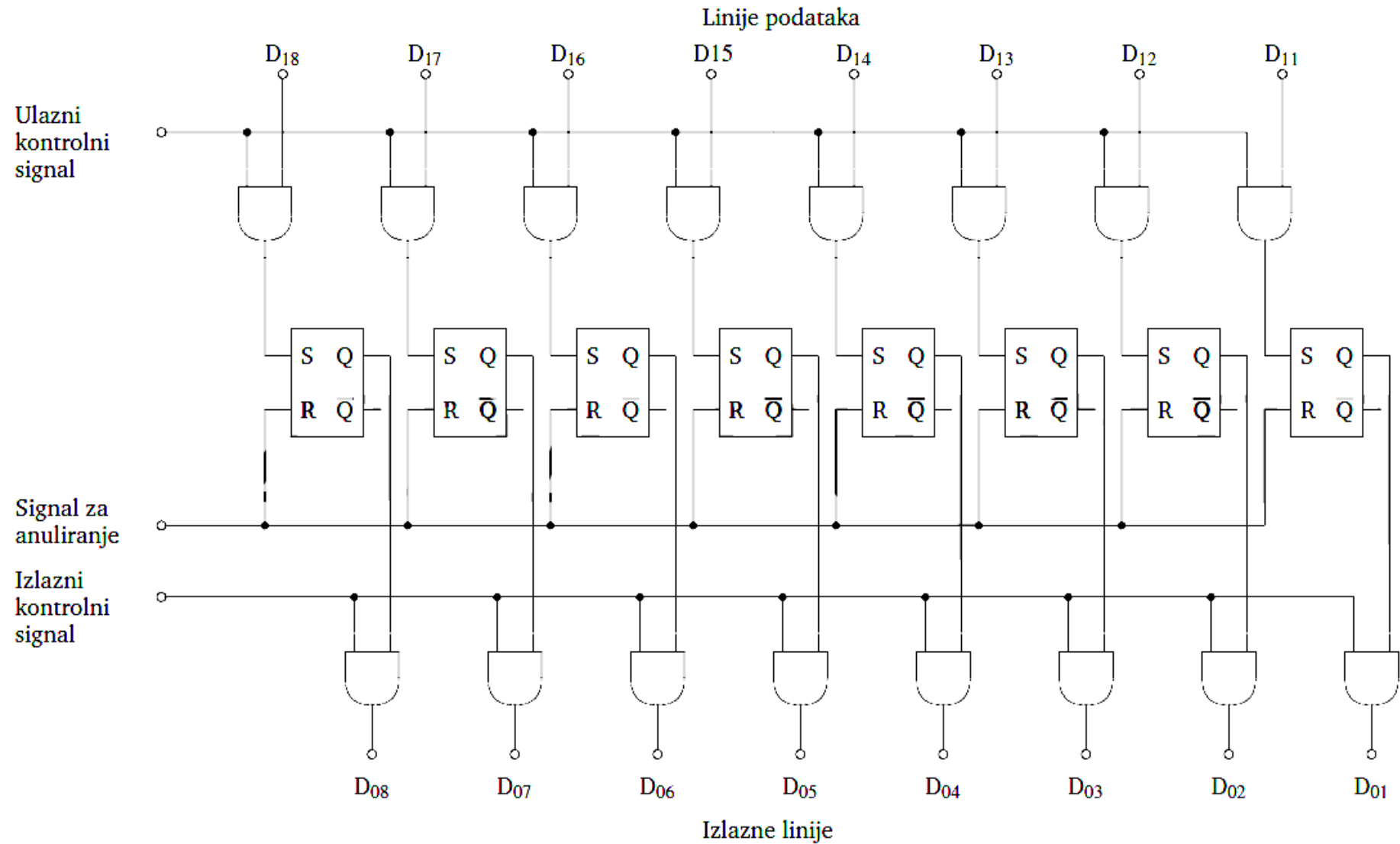
Примери секвенцијалних мрежа

- Неки од примера секвенцијалних мрежа су:
 - регистри
 - паралелни регистри
 - померачки регистри
 - бројачи

Паралелни регистри



- Регистри су кола која се користе за чување једног или више битова података
- Паралелни регистар се састоји од скупа 1-битних меморијских јединица чији се садржај може истовремено читати или мењати
- Може се имплементирати помоћу *SR* флип-флоп елемената





Паралелни регистар (3)

- Претходна имплементација омогућава три основне операције
 - анулирање
 - ако је активан контролни сигнал за анулирање
 - уписивање
 - ако је активан улазни контролни сигнал за уписивање
 - уз претпоставку да је претходно извршено анулирање
 - читање
 - ако је активан излазни контролни сигнал

За вежбу



- Модификовати представљен паралелни регистар тако да се уписивање може изводити без претходног анулирања



Померачки регистри

- Померачки регистри померају низ битова улево или удесно са сваким циклусом часовника
- Могу да се употребљавају за конвертовање из паралелног у серијски вид комуникације и обратно

Логичко померање

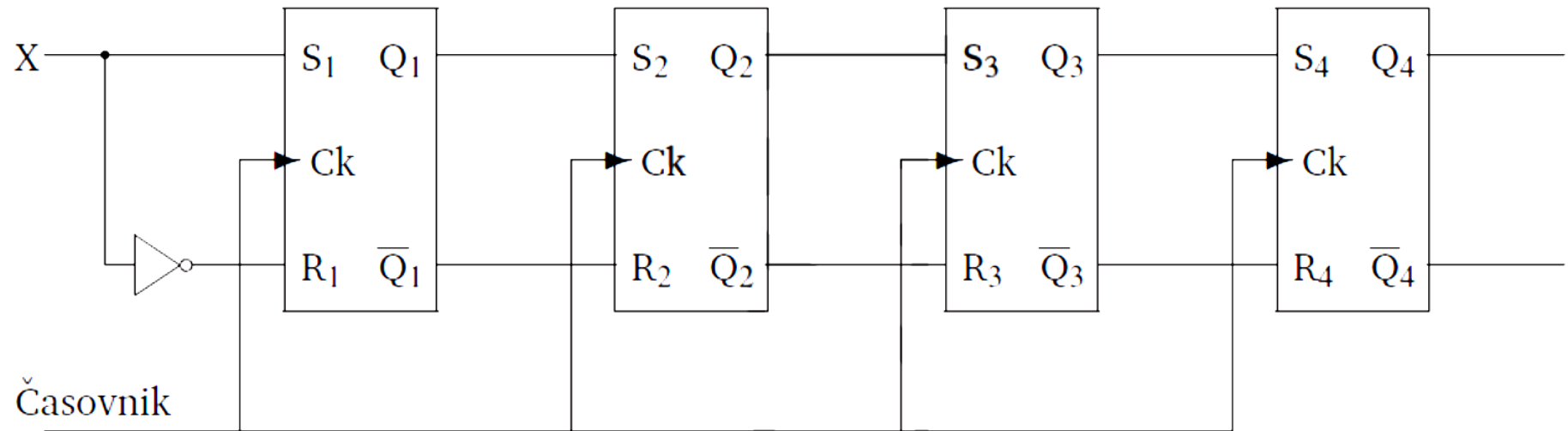


- Не постоји улазни податак
- Уместо улаза дописује се
 - нула (тзв. *линијско померање*) или
 - вредност “избаченог” бита (тзв. *циклично померање*)

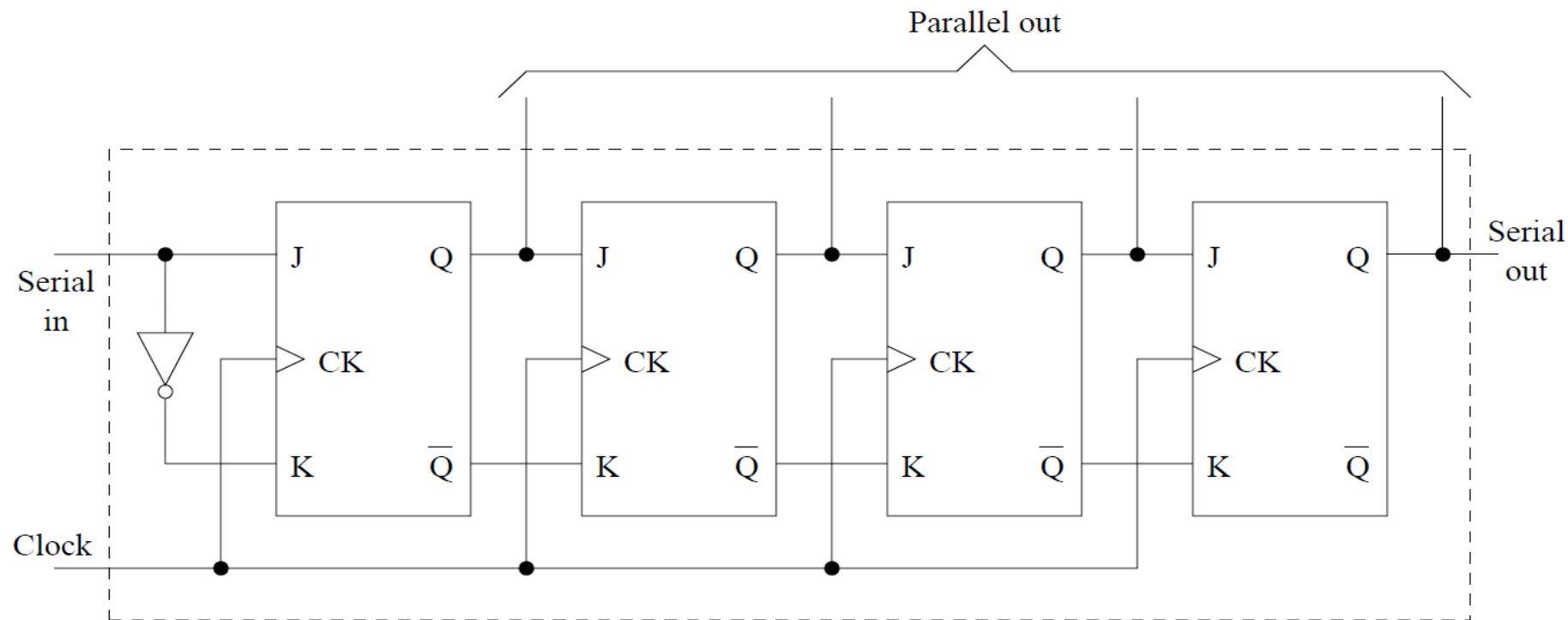
Аритметичко померање



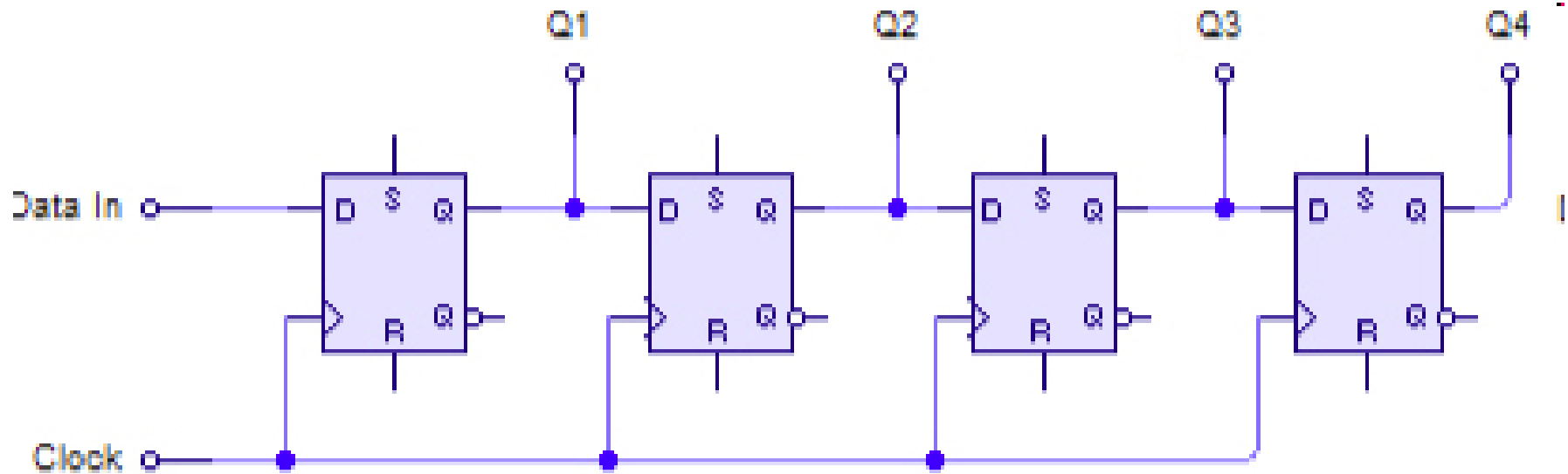
- Не постоји улазни податак
- Уместо улаза дописује се
 - нула, ако је померање улево
 - највиши бит, ако је померање удесно



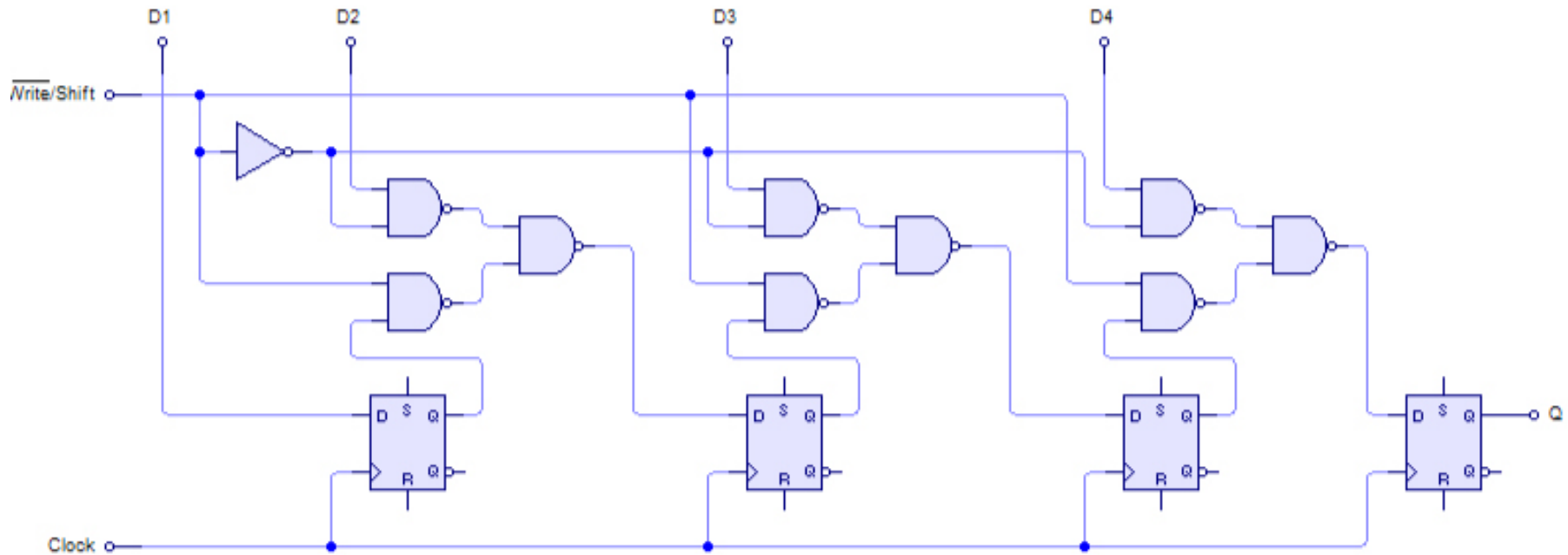
- У сваком циклусу
 - садржај се помера за једно место удесно
 - слева се дописује један нови бит са улаза
 - на излазу се чита један “избачен” бит



- У сваком циклусу
 - садржај се помера за једно место удесно
 - слева се дописује један нови бит са улаза
 - чита се на паралелном излазу комплетан нови садржај



- У сваком циклусу
 - садржај се помера за једно место удесно
 - слева се дописује један нови бит са улаза
 - чита се на паралелном излазу комплетан нови садржај



- У сваком циклусу, а на основу контролног сигнала
 - или се садржај помера за једно место удесно
 - или се уписује нови низ битова

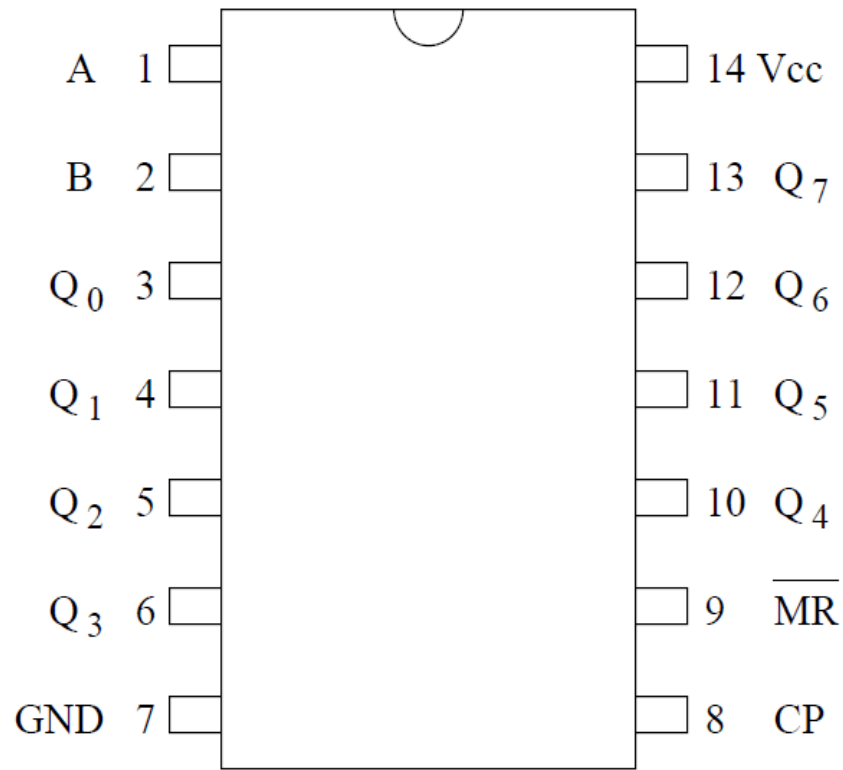
Индустријски померачки регистри



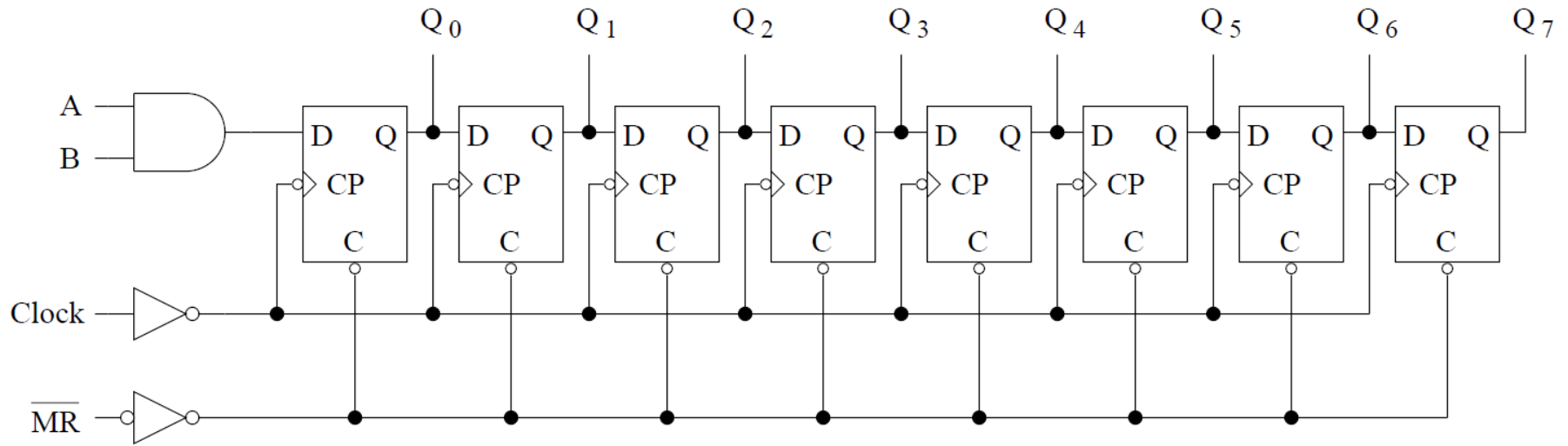
- Производе се и готови померачки регистри, који се могу прилагођавати потребама
- На пример, померачки регистар 74164
 - 8-битни
 - серијски улаз
 - паралелан излаз



Померачки регистар 74164



Померачки регистар 74164





Померачки регистар 74164

- Имплементиран помоћу D флип-флопова са активацијом на силазном рубу
 - регистар се активира на узлазном рубу
 - зато што се НЕ елементом мења фаза часовника
- Постоји *master reset* улаз који анулира све битове регистра